



RIETI Policy Discussion Paper Series 10-P-015

サイエンス型産業における国際競争力低下要因を探る： 半導体産業の事例から

中馬 宏之
経済産業研究所



Research Institute of Economy, Trade & Industry, IAA

独立行政法人経済産業研究所

<http://www.rieti.go.jp/jp/>

サイエンス型産業¹における国際競争力低下要因を探る：半導体産業の事例から

中馬宏之（一橋大学イノベーション研究センター・経済産業研究所）

要 旨

本論では、複雑性が急増しているテクノロジーやマーケットのクロック・スピードになかなかついて行けなくなっている日本勢の様子を、半導体産業に関連した二つの事例を取り上げて、可能な限りの（人の結びつきという意味での）臨場感を提示しながら一目瞭然化する。より具体的には、2000年前後を相変化時期とする半導体（High-k/Metal Gate）プロセス技術と1990年前後を相変化時期とするシステム化実装技術という時代や性質の異なる二つの事例を取り上げる。前者については、ネットワーク分析に基づいて日本的な研究開発システムの特徴を示すマイクロビューとマクロビューを提示し、個別には優れた要素技術を保有する日本勢が世界の中で顕著に孤立化していく様子を示す。後者については、個別には優れた要素技術を保有していた日本勢が、インテル流“プラットフォーム”戦略によって生み出された半導体エコシステム内で、さらなる下位システムとして位置づけられ競争力を低下させていった様子を示す。その際、特に、組織内・組織間における情報の応答速度、転送速度、組織内・組織間にビルト・インされているコミュニケーション構造の特性について注目する。さらに、日本勢の場合、これらの速度を革命的に向上させることのできる筈のICT（Information and Communication Technology）をなぜなかなか組織の“中枢神経系”として活用できないのかについて、Zuboff（1984）の指摘したICTの二面性（あらゆる事柄を自動化する能力と一目瞭然化する能力）と日本文化を特徴付ける自律分散性（その結果としての属人性）に着目しながら私論を提示する。

RIETI ポリシー・ディスカッション・ペーパーは、RIETI の研究に関連して作成され、政策をめぐる議論にタイムリーに貢献することを目的としています。論文に述べられている見解は執筆者個人の責任で発表するものであり、（独）経済産業研究所としての見解を示すものではありません。

¹ サイエンス上の発見・発明・改良が産業化に直結しやすい産業。

1. はじめに

90年代半ばのインターネット時代の幕開けと共に、日本の産業、特にサイエンス型産業において国際競争力の低下が顕著になってきている。その大きな原因の一つは、この時期以降に加速してきたテクノロジーやマーケットの複雑性増大スピードに日本勢がなかなかついて行けなくなってきていることである。ただし、そもそも、なぜ加速したテクノロジーやマーケットのクロック・スピードについて行けなくなってきているかについては、我々のような社会科学の研究者のみならず、当事者達を含めて、十分に理解できているようには思えない。したがって、本論では、玉砕覚悟で、そのような理解を得るための努力を試みてみたい。

テクノロジー・マーケットの複雑性急増は、ビジネス戦略や技術戦略上の考察の系(幅と深さ)を急速に拡大させる。しかも、そのような状況の下では、既存システムが、新たに登場してくる上位システムの中で急速に下部システム化していく。その結果、ビジネス戦略や技術戦略上の最適化の範囲が、企業内における製品・マーケティング・製造・設計・開発・研究等の諸部門のみならず、既存の企業活動の境界をも頻繁に飛び越えるようになる。このような頻繁に相変化を繰り返すシステム環境の中で競争力を維持・強化していくためには、刻々と変化していく自己システムの振る舞いを全体システムの中での確かつ迅速に一目瞭然化できる立ち位置の確保が必要になる。

他方、そのような頻繁な相変化に旧来の組織あるいはその組織が持つコミュニケーション構造のマイナーな設計変更で対応しようとする、正確な情報の入出を遅らせてしまうボトルネック部分が残りがちなため、なかなか市場からの淘汰圧力を企業内の淘汰圧力に変換できない。² そのため、刻々と変化する部分と全体の中で自らのシステムの相応しい立ち位置の探索により長い時間がかかってしまう。また、組織内・組織間における情報の転送速度や応答速度がなかなか上がらないため、幅と深さが増した組織内・組織間における様々な作業の同期化を迅速にできなくなる。その結果、自己組織の新しい環境に対する再構成能力すら低下してしまう。

上記の点に関して、再構成可能な(Reconfigurable)プロセッサで一世を風靡しているTencilica社CEOであるC. Rowen (2004)の下記の指摘は、組織経営の視点からも誠に興味深い。

「効率的な SOC(System-on-Chip)システムの設計は、システムを構成する各部品が担う作業ならびにそれらの作業を担うプロセッサ間の効率的なコミュニケーション基盤構造に密接に依存している。そして、それらの作業の共起状況(Concurrency)が単純で明白な場合、(メモリのような共有資源の内容によっては相互依存性が依然として発生するが)コミュニケーション構造の設計は簡単である。システムのパフォーマンスが、個々の作業のパフォーマンスだけに制限されるからである。・・・ただし、そのような共起状況が複雑になってくると、(望ましい)各種作業間のコミュニケーション構造がより複雑で緊張感を帯びたものとなる。そうなってくると、応答遅延速度、転送速度、各種作業を連繋させるコミュニケーション構造の三つが設計上の中心課題となる。」(110-111 頁、中馬訳)

半導体チップと社会とのアナロジーに基づいた判断はやや危険ではあるが、もし上記の“個々の作業のパフォーマンス”＝“日本のサイエンス型産業が保有する優れた個々の要素技術”及び“各種作業間”＝“組織内・組織間”というアナロジーが当てはまるとすると、サイエンス型産業が加速したテクノロジーやマ

² Grove (1997)、Burgelman(2002)参照。

マーケットのクロック・スピードについて行けなくなっている原因も、上記の三つの設計上の課題に深く関係しているのではないだろうか？しかも、人工物の複雑性が増していくにつれて半導体チップも社会も類似の問題に悩むようになるのだとすると、そのような難しい問題の解決策のヒントが、以外と身近な所に隠れている可能性も高い。

本論の主要な目的は、以上のような問題意識に基づいて、複雑性が急増しているテクノロジーやマーケットのクロック・スピードになかなかついて行けなくなっている日本勢の様子を、半導体産業に関連した二つの事例(半導体プロセス技術、システム化実装技術³)を取り上げて、可能な限りの(人の結びつきという意味での)臨場感を提示しながら一目瞭然化することにある。そして、特に日本勢だけがなぜそのようなスピードについて行けなくなっているのか？どのようにすればついていけるようになるのか？といった難問解決への糸口を探すことにある。

なお、半導体産業の事例は、個別特殊的と考える方々もおられるかもしれない。ところが、この産業は、グローバル化の大波を日本で最初に浴びたサイエンス型産業と特徴付けることができる。しかも、自動車産業に代表されるエンジニアリング型産業と医薬・バイオ産業に代表されるサイエンス型産業の特徴を併せ持つハイブリッド型の産業でもある。そして、日本の多くの製造業が、グローバル化の強烈な洗礼を浴びつつハイブリッド化傾向を加速しつつある。そのため、この産業の競争力が低下した構図を深く理解しなければ、他の産業も次々に同じ轍を踏んでしまう危険性を孕んでいる。

2. 半導体先端プロセス技術の事例から⁴

本節で取り上げるのは、ネットブック・ブームの火付け役であるインテル製ATOMやデスクトップ・サーバー向けのCore i7・Xeon等のマイクロプロセッサ(MPU)に2007年を境として一気に量産導入されたHigh-k/Metal Gate(HKMG)という先端プロセス技術のイノベーションである。敢えてなぜHKMG技術を取り上げるのかと言えば、それが過去40年間にわたって使われ続けてきた中核プロセス技術を根底から置き換える革新的な技術であることによる。しかも、HKMG技術の実現には、世界中の数多くの研究開発者達の心血が長年にわたって注がれてきており、その中での日本勢の貢献も、後述するように相当に大きい。ただし、先陣を切ったのは、基礎研究をも重視するIBMや東芝タイプの企業ではなく、オープンイノベーション⁵を標榜する開発重視型のインテルであった。しかも、2007年以降、最近(2010年9月)に至るまで、競合他社の追従を許さないものであった。

HKMGを取り上げるもう一つの理由は、パソコン・携帯・スマートフォンを含めたあらゆる電子機器にとって省電力性が大きなセールスポイントであるため、現時点でも、他社に先駆けて優れたHKMG技術

³ 半導体集積回路(IC)等の電子部品をプリント配線板上に搭載して相互接続し電子回路を構成する技術。

⁴ 本節での事例研究は、デバイス・装置メーカーのエンジニアや大学研究者にご参加いただいている研究会(筆者主催)の成果が反映されている。この場をお借りして、参加者の方々の御協力に深く御礼申し上げたい。

⁵ Chesbrough (2003)、*Open Innovation: The New Imperative For Creating and Profiting From Technology*, Harvard Business School Press. 彼は、インテル流オープンイノベーションを以下のように特徴付ける。1) 巨大な研究開発投資は行うが、1社だけでは基礎研究は行わない。2) 自社中央研究所の主目的は、世界の産学官が生み出す先端サイエンス・ナレッジを吸収し量産用に統合・活用すること。3) 大学・研究機関での自社参加型研究開発の実施、小規模研究施設の有望大学近辺への設置等により先端技術の世界潮流を逐次把握。自社内外の細切れ的な研究・開発を体系化する中枢組織保有。4) インテルキャピタルを通じ世界のベンチャー企業に投資。主目的は有望な新技術の将来性や実現難度の見極め。出資先の選定・評価にはR&D部門が徹底関与。既存ベンチャーキャピタルとの共同出資が原則。

⁶ なお、iPad用MPUであるA4プロセッサ(アップル社が2010年に買収した米国Intrinsity社が開発、Samsungが製造)に代表されるように、MPUの省電力化は、同分野のプロがアクロバチックと呼ぶ設計上の工夫によっても導入されつつある(<http://6004.csail.mit.edu/6.371/handouts/L11.pdf>)。

を量産に適用するための熾烈な開発競争が世界規模で行われていることによる。この点に関して、例えば、松下電器（現PANASONIC）は、同社特有のUniPhierと呼ばれる省電力性に優れたプロセッサに、（“Gate-Last”と呼ばれる）インテル方式とはかなり異なる“Gate-First”方式のHKMG技術を世界に先駆けて2010年10月から量産導入している。⁷

HKMG技術実現がいかに難度の高いものであるかを知るために、少しだけこの技術の詳細に立ち入ってみよう。⁸ この技術は、トランジスタのオン・オフに不可欠なゲート絶縁膜と呼ばれるナノメートル（百万分の1mm）級の極薄膜に関連するものである。従来、ゲート絶縁膜には、スイス生まれの天才発明者Jeon Hoerniを嚆矢とするシリコン酸化膜（SiO₂）が40年以上も使われてきた。⁹ ところが、2000年前後になると、SiO₂を使って微細化を推し進めていくことの原理的な限界が確実となった。そのような限界は、図1に示されるように、半導体製造に量産適用される微細化レベルが90nmを下回る2003年前後から顕著になった。実際、この時期から、従来技術に固執する限りは、いくら微細化してもトランジスタのスイッチがオフになっている時に電流が大量に漏れてしまい、高い熱が発生するばかりで性能が上がらない事態になってきた。¹⁰ その結果、SiO₂に代わるHigh-k（高誘電率）膜と呼ばれる絶縁膜導入の動きが急加速した。2007年に開発重視型のインテルがHKMG技術の量産適用に成功したのは、そのような流れの中での驚嘆に値する出来事であった。¹¹

(図1)

2.1 HKMG研究開発における日本勢：マイクロビュー

インテルによるHKMG量産導入の成功は、世界の半導体技術者に大きな衝撃をもたらした。ただし、その成功の歴史を辿ると、数多くの日本人研究者達も、その実現のために重要な世界貢献をしてきていることが分かる。そのことを明確に物語るのが表1である。この表には、（HKMG関連の論文で主要学術誌に登場した17,861名の中で）同技術を構成する五つの主要な関連要素技術¹²毎にトップ研究開発者達

⁷ <http://panasonic.co.jp/corp/news/official.data/data.dir/jn100915-1/jn100915-1.html>。なお、松下が採用したGate-First方式は、インテルが採用したGate-Last方式に比べて、従来型の半導体プロセス技術との親和性がかなり高いためにコスト・パフォーマンスや省電力性にも優れているが、トランジスタの命とも言える閾値電圧の安定性確保が難しいとされてきた(Bohr, Chau, Ghani and Mistry(2007))。

⁸ HKMG技術を実現することの難度がいかに高いものであるかは、鳥海(2005)に本質を突いた極めて分かりやすい説明が示されている。それらの中でも興味深い点は、a)High-k材料はSiO₂に比べて配位数(自分と直接結合している原子の数)が大きいため、SiO₂に比べてガラスとしての安定状態がたくさんあること、その結果、b)わずかな揺動に対して極めて構造的に不安定になり、わずかなエネルギーで異なる配位座標での安定状態に移ることがあること、という点である。そのため、High-k膜を用いたトランジスタの場合、トランジスタ構造を造り込む際の熱処理方法などのわずかな違いによって、オン・オフに必要な設計上の閾値電圧が不安定化してしまうといった取り扱いが極めて難しい(非線形)現象が起きやすい。これに対して、SiO₂の場合は、定めた閾値に関してかなり安定な状態が実現される。専門家がSiO₂を“神からの偉大な贈り物(the greatest gift from God)”と呼ぶ由縁でもある。

⁹ フェアチャイルド社時代のJeon Hoerniがシリコン酸化膜を利用したプレーナ型トランジスタの発明に至るプロセスについては、Bo Lojek(2006)の第5章に生々しく描かれている。

¹⁰ “トンネル効果(quantum tunneling)”と呼ばれる。

¹¹ インテル・サイドからの興味深い解説が、Bohr, Chau, Ghani and Mistry(2009)に示されている。

¹² Gate Last 関連技術、high-k 膜関連技術、Metal Gate 関連技術、歪みシリコン関連技術、ALD(Atomic Layer Deposition) 関連技術の五つである。取り上げた学術誌は、IEDM(International Electron Devices Meeting), Journal of Applied Physics, Applied Physics Letters, Journal of Vacuum Science & Technology, Journal of Solid-State Circuits等

が示されている。使用しているデータは、IEEE(アメリカ合衆国に本部を持つ電気・電子技術の学会)が提供するIEEE Xplore (<http://ieeexplore.ieee.org>)という世界の主要な専門誌・コンファレンス発表論文を網羅したものである。

この表によれば、特に、Gate-Last、High-k、歪みシリコン (Strained-Silicon) の三つの分野に日本人の研究開発者達が数多く含まれていることが分かる。中でも、五つの要素技術の中で圧倒的に論文数が多いHigh-k膜技術関連で63回登場している鳥海明教授 (東芝→東京大学(2000～)/MIRAI) や歪みシリコン技術関連で54回登場している高木信一教授 (東芝→東京大学(2003～)/MIRAI) などの活躍がめざましい。また、各分野で20以上の論文数を誇る日本人著者では、下記のような研究者を特定できる。

岩井洋教授(東芝→(1999～)東工大)、渡部平司教授((2004～)大阪大学/NEC)、山田啓作(東芝/早稲田大学/物質・材料研究機構(NIMS))、中嶋一明氏(東芝)、生田目俊秀氏(NIMS/MIRAI)、杉山直治氏(東芝/MIRAI)、手塚勉(東芝/MIRAI)、水野智久教授(東芝→(2004～)神奈川大学/MIRAI)、沼田敏典氏(東芝/MIRAI)

また、これらの研究開発者の顔ぶれから、東芝とMIRAIが分かち難く結びついている様子を類推できる。

(表1)

欧州の半導体産業の競争力が日本に比べてかなり弱化していることは周知の事実であるが、そのような状況とは対照的に、IMEC (ベルギーにある世界的な半導体コンソーシアム) ならびにSTMicro/CEA-LETI(フランス原子力庁-電子・情報技術研究所)-CNRS(フランス国立科学研究センター)を中心に結集した欧州の研究開発者達の(2000年以降における)活躍もめざましい。実際、表1に20以上の著者として現れているIMEC¹³やSTMicro/CEA-LETI関係の研究開発者は下記の通りである。

Guido Groeseneken(IMEC)、Stefan De Gendt(IMEC)、Robin Degraeve(IMEC)、Luigi Pantisano(AT&T Bell研究所→IMEC)、Serge Bisemans(IMEC)、Ben Kaczer(IMEC)、Hong Yu Yu(IMEC→国立シンガポール大学)、Michel Houssa(IMEC)、Roger Loo(Siemens→IMEC)、Gérard Ghibaudo(CNRS)

また、表1左端のALD(原子層堆積装置)は、現在High-k膜の導入に不可欠な成膜装置となっているが、ヘルシンキ工科大学(フィンランド)出身のTuomo Suntola氏のグループによって1974年代に生み

の著名なものである。なお、Japanese Journal of Applied Physics等は含まれていない。

¹³ 表1で下記以外のIMECやSTMicro/CEA-LETI-CNRS関係者を追ってみると、(IMEC) K. Maex、B. Brijs、J. Schuhmacher、R. L. Puurunen、W. Vandervorst、T. Schram、L.A. Ragnarsson、P. Absil、M. Jurczak、M. Caymax や(STMicro/CEA-LETI-CNRS) T. Skotnicki氏、S. Deleonibus氏、H. Kosina氏である。このようにIMEC勢は、欧州勢の大部分を占めている。

出された技術である。¹⁴ そのような伝統を反映して、表1のALD欄には、Helsinki大学のMarkku Leskela教授、Mikko Ritala教授、Kaupo Kukli教授などが上位を占めている。加えて、表1には、下記のような欧州各国の材料科学や応用物理学の専門家も登場している。科学・技術分野における欧州の底力が垣間見える。

M. C. M. van de Sanden教授 (Eindhoven工科大学)、Ingemar Lundstrom教授 (Linköping大学)、Bernd Hoeflinger教授 (前Stuttgart Microelectronics研究所)、Günter Zimmer教授 (前Duisburg大学/Fraunhofer研究所)、Bernd Meinerzhagen教授及びChristoph Jungemann教授 (共にBremen大学)、Anthony G. O'Neill教授 (Newcastle大学)、Siegfried Mantl教授 (Aachen大学)

もちろん、米国勢の研究開発者達のプレゼンスはかなり高く、しかも、欧州勢と同じく満遍なく登場している。特に、Sematech-IBM関係者や米国の大学・研究機関は、まさに世界をリードしているとも言える。ただし、各分野で20本以上の論文数を誇る研究者達をリストアップしてみると、下記のように外国 (特に韓国) 生まれの人々が多いことも米国勢の興味深い特徴である。なお、この表1に登場するインテル関係者は、Majhi氏 (Philips→2004年にインテル、現在Sematech) のみである。

(Sematech-IBM) Byoung Hun Lee (Sematech/IBM、韓国出身)¹⁵、Rino Choi (Daewoo Motors→Texas大学オースチン校→Sematech、韓国出身)、Gennadi Bersuker (Moldavian Academy of Sciences→オランダ・Leiden大学→Texas大学オースチン校→Sematech、モルドバ出身)、Chadwin D. Young (Sematech)、Rajarao Jammy (Sematech/IBM、インド系)、Chang Yong Kang (Sematech、韓国出身)、Paul D. Kirsch (Sematech/IBM)、Bernard S. Meyerson (IBM)、Kern Rim (IBM) (米国大学・研究機関) Jack C. Lee教授 (Texas大学Austin校、韓国出身)、Gerry Lucovsky教授 (Philco→Xerox→North Carolina州立大学)、Paul C. McIntyre (Texas Instruments→Stanford大学、カナダ出身?)、Krishna C. Saraswat (Texas Instruments→スタンフォード大学、インド出身)、Eugene A. Fitzgerald教授 (AT&T-Bell研究所→MIT)、John D. Cressler教授 (IBM→Auburn大学→Georgia工科大学)、Dimitri A. Antoniadis教授 (MIT、ギリシャ出身)

また、台湾・Singapore勢には、Dim-Lee Kwong教授 (Texas大学Austin校→2001年より国立Singapore大学、台湾出身) やAlbert Chin教授 (ベル研→GE→Texas Instruments→1997年より台湾国立交通大学、その間2002～2005年は国立シンガポール大学客員教授、台湾出身) などの米国の大学・研究機関で活躍した (又は活躍中の) 人々も数多い。実際、表1には登場していないが、TSMC等とTso-Ping Ma教授 (IBM

¹⁴ <http://www.saunalahti.fi/~suntola/biography.html> 参照。

¹⁵ 表1のHigh-k欄にあるD-L-Kwongと同欄下方のK-Dim-Lee、B-H-LeeとL-Byoung-Hunとは同一人物だと類推される。残念ながら、使用したIEEE-Xploreの場合、格安で利用可能であるものの、特に中国名と韓国名においてこの類の姓・名の取り違いがかなり多くなっている。このような弱点を補強するためにWeb Of Science (WOS)の利用が考えられるが、WOSの場合、高価であることに加え、半導体分野で有名なIEDM等の国際コンファレンス・ポリュームが含まれない。さらに、(高額の追加料金なしには) IEEE-Xploreで可能な電気・電子関連の極めて包括的なINSPEC database等との連携検索もできない。また、(少なくとも筆者の所属する大学では) 全文検索は利用可能ではないし、過去に遡及できる年次もかなり限られている。

→Yale大学、台湾出身)、Chenming Hu教授 (UC-Barkley、TSMC-CTO兼務(2001-2004)、台湾出身)、Yee-Chia Yeo教授 (British Telecom→TSMC→Singapore国立大学) などとの緊密な共同研究状況も浮かび上がってきている。

(図2)

HKMG関連技術に関して日本人開発研究者達が活躍してきた様子は、図2によってさらに鮮明に確認することができる。¹⁶ この表は、HKMG関連の論文で主要学術誌に登場した17,861名の著者達の所属クラスター別の時系列推移を辿ってみたものである。¹⁷ この表によれば、1990年代末までは、日本勢(含む東芝、NEC、富士通、日立-ルネサス、半導体コンソーシアムのSELETE/MIRAIなど)の著者達の登場回数が特に多く、日本勢が先駆的な研究開発を行っていたことをうかがわせる。また、この時代に大きな値を示しているのは、国立Singapore大学や台湾交通大学などを中心とした台湾・Singapore勢である。ただし、前述のように、これらの人々の多くは、当時、Texas大学Austin校等の米国内の大学・研究所・半導体メーカーに属していた。また、興味深いことに、この時代に多くの論文を発表しているのは、IBMや欧州の大学・研究機関の人達である。¹⁸ ただし、HKMG技術が研究段階から開発段階への節目を迎えたとされる2000年前後になると、登場するプレイヤーが急速に変化していく。実際、2000年以降に上位を占めているのは、先の台湾・Singaporeの大学・研究機関連合、IMEC、SEMATECH¹⁹、SELETE-MIRAI、CEA-LETI-CNRS²⁰といった研究開発コンソーシアムである。

なお、図2から判断する限り、HKMGの量産化にいち早く成功したインテルの論文発表者数は、2000年以降も特に目立って多いわけではない。ただし、この図に現れているインテルの研究開発活動は、同社の研究開発活動の一部分に過ぎないことに注意する必要がある。しかも、インテル発の論文の場合、自社用の量産技術としてほぼ確立された後に数多くのインテル関係者だけの共著者名で華々しく発表されるケースが希ではない。例えば、HKMG技術の量産適用成功後にIEDM(International Electron Device Meeting)で発表された2007年の論文には実に54名、そして、90nm技術に歪みシリコンを導入した2002年の論文には43名のインテル開発者達が名を連ねている。²¹ したがって、論文発表形態から判断する限り、極めて社内囲い込み型の研究開発スタイルが採用されているように見える。ところが、後述するように、インテルは、欧州や米国の“英知の結集場”となっているIMECやSEMATECHに深く肩入れするこ

¹⁶ 数値は、21,167名の中の直接・間接に繋がっている17,861名の著者達を対象としたクラスター分析による推計値である。この推計値は、共著頻度に基づいているため、大きなクラスターの構成員数が過剰に推計される傾向がある。前述のように、分析は、IEEE(アメリカ合衆国に本部を持つ電気・電子技術の学会)が提供しているIEEE Xploreでの全文検索に基づく。検索式の作成に際しては、同分野の開発研究者達の貴重なコメントを得ながら筆者が作成した。また、以下に示される個別の研究開発者のプロフィール・履歴等については、主にIEEE Electron Device Society EDS Archival Collection(DVD版)を利用している。

¹⁷ クラスター分析は、Newman(2006)に従っている。

¹⁸ この推計値は、共著頻度に基づいているため、大きなグループの構成員数が過剰に推計される傾向がある。

¹⁹ 米国にあるIBMやIntelなどの有力な米国半導体メーカーが構成する半導体コンソーシアム。

²⁰ 2002年から2007年までは、STMicroelectronics、Freescale/Motorola、Philipsの3社で構成される主に開発段階に特化した“Crolles2 Alliance”と呼ばれたフランス政府肝いりの国際コンソーシアムが存在した。2007年に後の2社が抜けてIBM連合に合流後も、フランス勢が孤軍奮闘していたが、2009年に同じくIBM連合に合流することとなった。

²¹ ちなみに、IEDM発表論文の場合、2000年代でも共著者数は10名以内が多く、多くても20名まではなかなか行かない。

とにより、HKMGに関する世界規模での研究開発成果を効果的に吸収・活用するための極めて開放的な研究開発ネットワークを構築している。

2.2 HKMG研究開発における日本勢：マクロビュー

表1や図2に関連して紹介したように、HKMG技術に関する研究開発においても、日本勢は、個々の研究開発者のレベルで比較すると、世界の中で大きな貢献をしてきている。ただし、彼らを含む日本勢全体の活躍ぶりを世界の研究開発ネットワークの中で位置づけてみると、その特異性（特に孤立度の高さ）が顕著に浮き出してくる。言いかえれば、特筆に値する個々人の世界レベルでの貢献とは対照的に、集団としての日本勢は、世界の中で相当に孤立度（あるいは辺境性）が高くなっている。

そのことは、図3の分析結果に一目瞭然化されている。この図には、共著関係によって直接・間接に結びついている17,861名が、様々な大きさや色の点として描かれている。より具体的には、各点は、ネットワーク内で中心的位置²²を占める研究開発者達ほど大きく描かれている。図中に示される赤色の点は、特定の半導体メーカー・研究開発コンソーシアムを識別するために使用した主立った人々である。図中の白色の楕円は半導体メーカー、黄色の楕円は研究開発コンソーシアムを示している。データは、1964年から2009年までのものを一括して用いている。ただし、ほとんど（94%）のデータが、1995年以降のものである。²³

図3では、共著の回数が多ければ多いほど共著者間の緊密度が高いと見なされ、緊密度の最も高いグループが中央付近に自動的に配置されている。このように配置される理由は、配線に際して、a)配線の交叉回数を最小化する、b)可能な限りノード間の配線長を同じにする、c)全体のネットワークを可能な限りシンメトリックにする、等々の基本ルールが適用されていることによる。²⁴ なお、全体の構図の一目瞭然性を高めるために、個々の共著関係は、共著回数が2回以上に限り、黒色の線で配線されている。²⁵ 上記のルールが適用されると、自動的に中央のグループと緊密度の高い人々がより中心に、それらの人々との緊密度の低い人々がより周辺に配置されることになる。また、上記a)のルールが適用されているので、たとえ距離的に近くに配置されている人達でも、互いに配線されていなければ緊密度が低い。したがって、配線が前後左右に激しく交叉する中央部分を除けば、放射線上に沿って遠い所に配置されている人達ほど中心付近に位置するグループとの緊密度が低くなる。

(図3)

²² ここでは、中心性の指標としてグーグル・ページランクで有名なPageRank中心性(固有値中心性とも呼ばれる)を用いている。

²³ 2000年以降に限っても88%のデータが含まれる。

²⁴ これらの基本原則は、半導体設計に使用される(Force-directed placement:自乗配線長最小化)配置・配線アルゴリズムに習っている。本論で採用しているのは、初期条件をランダム配置、収束判定条件を0.0001、収束回数上限を1万回としたFruchterman-Reingoldアルゴリズム(Fruchterman and Reingold(1991))である。なお、描画に際しては、上記の判定基準はそのままにランダム配置を複数回繰り返して全体構図の頑健性を確かめた。

²⁵ 本論のようなネームマッチングによるネットワーク分析では、同姓・同名によるマッチングエラーなどが少なからず起こりえる。ただし、この種のマッチングエラーは、配線ルールを厳しくすることによっても、ある程度まで軽減できる。

図を見ると、大きくは、真ん中の米国勢からかなり離れている中央下の日本勢、アメリカ勢の左上ならびに左下に近接しながら左端まで大きく広がる台湾・Singapore勢ならびに韓国勢、アメリカ勢の右に近接しながら右端まで大きく広がる欧州勢に分かれている。日本勢の中心は半導体コンソーシアム SELETE/MIRAIであり、それを中心として東芝・NEC・富士通や日立・ルネサスの開発研究者達が連繋している。²⁶ また、図には明示されていないが、IMECを含む右端半分の上下には、ほとんどが欧州の大学・研究機関・企業に所属する人々が位置している。

世界のHKGM関連研究開発ネットワークの中心は、IBM・インテル・Freescale/Motorola・Texas InstrumentsとSEMATECHである。韓国勢（主体はSamsung）の中心もこのSEMATECHに大きく重なる形で左下に広がっており、韓国勢が、同ネットワークの中核を成す米国勢にSEMATECHを介して深く結びついていることが分かる。実際、図3には示されていないが、この図をズームインすると、前述した韓国生まれのJack C. Lee教授やIBM/SEMATECHのByoung-Hun Lee氏が、韓国勢と緊密かつ広汎に結びついている様子を確認できる。²⁷ なお、先のクラスター分析によれば、韓国勢は、このような米国勢に近接するグループとほぼ韓国国内だけで緊密にネットワーク化されたグループとに分かれている。このような意味で、韓国勢の場合、国際派と国内派とが分離して存在している。

欧州勢の中心は、右上の様々な企業・大学・研究機関群と連繋したIMECとSTMicro/CEA-LETI-CNRS・Infineonである。さらに、図には明示されていないが、先のクラスター分析によれば、欧州勢は、これらのグループ以外に、主に独・イタリアの大学や研究機関からなるグループと主に英国・フィンランド・スウェーデン・独の大学・研究機関からなるグループの二つに分かれている。また、後述するように、これらの大学・研究機関グループは、いずれもIMECとの関係が顕著である。

台湾勢（中心はTSMC）は、Singapore国立大学や台湾国立交通大学などの研究機関（含むMIT-Singapore校等の米国大学）とネットワークの中心部でかなり重なり合っている。実際、彼らの多くは、SEMATECHや米国の有力半導体メーカーとの関係も深い前述のDim-Lee Kwong教授、Tso-Ping Ma教授、Chenming Hu教授、Albert Chin教授、Yee-Chia Yeo教授と直接の共著関係がある人々である。このような意味で、台湾勢は、韓国勢と同じように、彼らの人的関係を通じて、研究開発ネットワークの中核をなす米国勢と深く結びついている。また、先のクラスター分析によれば、台湾勢の場合も、韓国勢と同様に、米国勢に近接するグループと台湾内だけで緊密にネットワーク化されたグループとに分かれている。

(図4)

一方、日本勢の場合、図3から明らかなように、世界の中での孤立度が相対的に著しい。たしかに、図3をズームインしていくと、IMECと研究開発上の太いパイプをもつ松下電器（現パナソニック）から

²⁶ なお、図中のクラスター名は、前述のNewman (2006)流クラスター分析に基づいて命名されている。その際、日本勢は、SELETE-MIRAI-東芝・NEC・富士通その他と日立・ルネサスとが二つの独立したクラスターと分類される結果となった。なお、日立・ルネサスグループの主立ったSELTE/MIRAI関係者は前者に分類されている。

²⁷ このような結びつきは、図3の中で、特定の人物と直接関係のある人々を抽出して生成されるEgo Networkを調べることによって直ちに判明する。

の出向者（特に、丹羽正昭氏、三橋理一郎氏、山本和彦氏）を通じて IMEC との緊密な共同研究が行われている様子がうかがえる。また、東芝・東京エレクトロンと IBM との緊密な関係を見いだすこともできる。ただし、図3でそれらのグループとの結びつきを示す配線状況を見ると、韓国勢や台湾勢とは大きく異なり、世界の中核を成している米国勢や IMEC 勢との顕著な重なりは存在しない。事実、図3では、日本勢と米国勢の中核部や IMEC とを繋ぐ配線がより長いため、黒色の配線がかなり目立っている。日本勢の孤立化状況は、図4を図3のように等高線密度図化するとより明確になる。この図が明確に示しているように、日本勢は、研究開発ネットワークの中央部分からかなり離れており、離れ小島のようになって固まっている。しかも、国際的に活躍する日本人研究者が少なくないにもかかわらず、PageRank 中心性の高い人々があまりいないため、等高線の密度が中央に比べてかなり薄くなっている。²⁸

もちろん、日本の孤立度が高いことに関する善し悪しの判断はなかなか難しい。歴史の常として、偉大な独創的アイデアの多くが辺境から生まれてくるからである。この傾向は、特に、市場化をあまり意識しない好奇心駆動型の研究では顕著である。日本の世界に冠たる独自性も、地域的・言語的・文化的な辺境性に起因することは間違いない。ただし、半導体産業などのサイエンス型産業では、特に開発段階での孤立化のコストが急速に高まってきていることも厳然とした事実である。

なお、図3に示されるHKMG関連技術に関する世界規模での研究開発ネットワークは、過去数十年にわたる論文をすべてプールする形で作成された静的なものである。ただし、より興味深いのは、研究開発者の共著関係を年次毎に辿ることによって世界の研究開発ネットワークが動的に生成されていくプロセスである。分析に際しては、この点に配慮し、このような動態をアニメーションにより示してみた。²⁹ 残念ながら本論ではそのようなアニメーション動画を示すことができないが、動態分析によれば、図3のネットワークが、2000年前後で急速に形成されてきたことを明確に確認することができる。実際、図2の説明でも少し触れたように、2000年以前には、インテルやIMEC、韓国勢や台湾勢は、かなり存在が薄かった。ところが、従来技術の原理的な限界とそれをHigh-k膜導入で乗り越えるための方向性が明確になった2000年前後から状況が一変する。その結果、各国の主要半導体メーカーが大挙して参入、アツという間に図3のネットワークが出現した。

2.3 孤立度の高い日本型研究開発ネットワーク：インテル、IBMとの比較

孤立度の高い日本勢に比べ、インテルの開放性と閉鎖性とを併せ持つ研究開発システムは、世界の研究開発システム内においてかなり独特である。前者の閉鎖性は、図3のインテルグループ部分をズームインした図5によって確認することができる。このグループの中心人物は、インド出身の K. Mistry 氏（DEC を経て 1998 年にインテルに入社）とパキスタン出身の T. Ghani 氏である。³⁰ 図では、両氏と

²⁸ 等高線の色は前述の PageRank 中心性の高さやそれらの高い人々が密集している度合いによって表現されている。ここでは、赤色になればなるほど、PageRank の高い研究開発者が密集していることを示している。描画に際しては、VOSViewer (<http://www.vosviewer.com/>) を用いた。

²⁹ アニメーションは、Adobe Flash によって作成した。

³⁰ 中心人物の特定には、クラスター分析によって確定したグループ内における連繋指数を用いている。なお、連繋指数とは、特性の発明者(A)が別の発明者(B)と同じクラスター内で共著しており、しかも、さらに同じクラスター内の別の発明者(C)と共著していれば、連繋指数が1加わる。したがって、たとえば、Aの連繋指数が100とすると、上記の意味での同一クラスター内での連繋回数が100回発生していることを意味する。したがって、連繋指数の大きな著者ほど、同一クラスター内での統括者としての役割が大きいと見なせる。

直接的な共著関係にある著者同士が黄色の配線で結ばれている。³¹ これらの人々は、少数の例外はあるものの、ほとんどが インテル関係者である。³² したがって、Mistry-Ghani グループは、閉鎖性がかなり高い。

(図 5)

一方、Mistry-Ghani 氏を中心とした閉鎖的な研究開発システムは、もう一つの極めて開放的な“インテル流”研究開発システムと対をなしている。それを示すのが図 6 である。この図には、IMEC を主に担当するインテルの W. Tsai 氏³³ (Varian、Air Products を経て 90 年代後半にインテル入社、2000 年初めから IMEC に出向) と SEMATECH を主に担当する P. Majhi 氏 (フィリップスを経て 2004 年にインテルに入社) の共著者達が上記の要領で黄色に示されている。図によれば、両氏との共著者は主に SEMATECH と IMEC にまたがっており、極めて開放的である。

(図 6)

以上は、Tsai、Majhi 両氏と直接の共著関係にある著者達に限定した図であった。ただし、両氏を軸としたインテルの開放的な研究開発システムの幅広さをさらに実感するためには、この直接的な関係を上記の Tsai 氏と Majhi 氏の共著者の共著者という二次の関係にまで拡大してみることが効果的である。その結果は、図 7 に示されている。この図によれば、インテルの開放的な研究開発システムは、米国のみならず欧州や日本・韓国・台湾・Singapore のほぼすべてを網羅している。共著者の共著者を辿っただけで世界をほぼ覆ってしまうとは、驚くほどの網羅ぶりであり、インテル流研究開発システムにおける転送・応答速度の並外れた速さを物語っている。インテルは、この開放的な研究開発システムを使って、先端技術の世界潮流を逐次かつ迅速に把握できる位置取りをしている。

(図 7)

³¹ このグループ内での共著頻度で見たトップ 10 の研究開発者達のプロフィールを調べてみると Mistry 氏 (インド) を含む 5 名がインド、パキスタン、ルーマニア、中国 (本土) 生まれであり、いずれもインテルの研究フェローや重役に登りつめている。

³² 右下端の赤丸で示された T. Hoffmann 氏は、2000～2004 年の間インテルに在籍後、2004 年に IMEC に移籍。

³³ 同氏は、Intel の Strategic Research Group に属し、世界の大学、Semiconductor Research Corporation/Microelectronics Advanced Research Corporation (SRC/MARCO)、Sematech 及び IMEC での研究開発プログラムを統括する責任者である。(IEDM50 年史 DVD 参照)

インテルの高速な転送/応答速度を誇る開放的な研究開発システムと対比するために、IBM についても研究開発システムの要として知られている 2 名の中心人物 (R. Jammy 氏と V. Narayanan 氏) を起点とした直接の関係を図示してみよう。結果は、図 8 に示されている。³⁴ この図から、IBM の研究開発システムが、SEMATECH の活動と緊密に連繫していることが分かる。この意味で、IBM のシステムは、インテルの Mistry-Ghani グループのシステムと比較すると、かなり開放的である。ただし、前述の Tsai-Majhi を中心とした研究開発システムに比べると、IMEC との直接的な関係がほとんど存在しないことに気づく。この特徴は、図 9 に示されている二次の関係をも含めたネットワークに如実に現れており、インテルのものに比べて欧州の大学・研究機関 (右端に位置) との関係がかなり薄くなっている。この点は、前述したように、2000 年以降において IMEC が欧州における産官学の英知の結集場となっていることと整合的である。ただし、インテルと IBM との差は、直接・間接に関係している人々の数が両者でほとんど同じ (5,582 名対 5,213 名) であることから判断できるように、次に紹介する日本勢との差に比べると、あまり大きな差とは言えない。

(図 8)

(図 9)

日本勢の研究開発システムは、東芝を始めとした国内半導体メーカーの活動をクラスターとして別々に識別できないことに示されているように、SELTE-MIRAI を介して各社の活動が分かちがたく結びついている。特に、前述したように、SELETE-MIRAI と東芝の活動が分かちがたい。³⁵ ただし、その結びつきは、図 10 に明確に示されているように、国内での結びつきを中心としたものである。しかも、日本勢の中で最も連繫指数の高い H. Watanabe 氏と K. Nakajima 氏は、かなり一般的な姓名であるために真の関係よりやや過剰な関係が現れがちであるにもかかわらず、彼らと直接・間接に結びついている人々は、図 7 や図 9 に示されるインテルや IBM の半分にも遙かに及ばない。言い換えれば、国内勢に偏った結びつきが顕著であるにもかかわらず、国内での結びつき自体も、インテルや IBM に比べてかなり疎なものとなっている。その結果、インテルや IBM の研究開発ネットワークに比べると、ネットワーク内における情報転送速度や応答速度がかなり遅いと見なすことができる。

³⁴ V. Narayanan 氏は IBM クラスターで最も前述の連繫指数が大きい。また、R. Jammy 氏は Sematech の副社長をも務める IBM からの出向者であり、Sematech 内の IBM 出向者中で最高の連繫指数を示している。実際、Sematech 全体でも、プロパーの G. Bersuker 氏、先の Intel の P. Majhi 氏に次いで第三位の連繫指数を誇る。

³⁵ Newman (2006) によってクラスターとして抽出されたグループに、より本格的な Girvan-Newman (2002) アルゴリズムを適用すると、大きくは、SELETE-MIRAI-東芝、NEC、富士通の三つにクラスタリングできる。ただし、同アルゴリズムは、発明者数の増大と共に実行時間が幾何級数的に増えていく。そのため、このアルゴリズムを全体のサンプル (17,861 名) に適用することは、大量のシステムメモリを積んだ高速なワークステーションを用いても現状ではなかなか難しい。

(図10)

以上の状況から判断すると、現状が続く限り、日本勢のさらなる孤立化とクロック・スピードへの遅れが懸念される。ただし、必要以上の悲観論は無用とも考えられる。前述のように、独創的なアイデアの多くは、辺境から生まれてくることが歴史の常であるからだ。しかも、インターネットの時代を迎え、「辺境に位置している」と「孤立化している」とが大きく乖離しはじめている。その意味では、ややアイロニカルであるが、90年代半ば以降に逆風として作用してきたICT (Information and Communication Technology) が、日本の企業・組織に順風として作用しはじめる可能性も少なくない。そのために求められる第一段階の作業とは、“世界の中で孤立、国内で群雄割拠、社内でも群雄割拠”と揶揄される現状を広く共通認知化し、まず国内における産官学のネットワーク性を格段に高める新たな社会的仕組みを導入することではないかと思われる。そのような国内における産学官の連結性の向上は、日本の魅力をさらに高めることとも意味するので、世界の中での孤立化解消の妙薬にもなり得るのではないだろうか。

3. 半導体システム化実装技術の事例から³⁶

前節では、2000年以降に顕著となった半導体先端プロセス技術の事例を通して、複雑性が急増しているテクノロジーやマーケットのクロック・スピードになかなかついて行けなくなってきた日本勢の様子を一目瞭然化した。本節では、そのような構図が90年代初頭の日本の半導体産業において既にビルト・インされていたことを、90年前後を境に考察の系(幅と深さ)が急拡大しはじめたシステム化実装技術の事例に基づいて示してみたい。

敢えてシステム化実装技術を取り上げる理由は二つある。一つの理由は90年代以降、システムの全体設計最適化がビジネス戦略を大きく左右するようになり、実装技術が、技術戦略とビジネス戦略が交差する“ホット・スポット(Hot Spot)”へと相変化したことによる。実際、実装技術は、この時期以降に急速に高まった市場の多様な要求に柔軟に対応するために、従来型の単なる接続技術から多様な市場の要求に迅速に応えるためのアーキテクチャー(設計思想)実現手段へと昇格した。その結果、実装技術とマーケティング戦略との不可分性が高まり、技術戦略とビジネス戦略とがより緊密に結びつく必要性が高まった。ところが、日本の半導体産業は、このような最適化範囲の拡大要請になかなか迅速に対応できなかった。

もう一つの理由は、この事例が、C. Rowen(2004)に関連して冒頭で言及した“人工物の複雑性が増していくにつれて半導体チップも社会も類似の問題に悩むようになる”という事例を文字通りに示しているためである。実際、インテル製マイクロプロセッサ(MPU)の急激な高速化は、マザーボード³⁷上での各種の部品が担う作業間の応答遅延速度、転送速度の問題を深刻化させ、それらの作業を連繋させるためのコミュニケーション構造

³⁶ 本節の作成に当たっては、各種専門家の御紹介を含む様々な面で村上元氏(株・元天代表)、橋本哲一氏(元日立中央研究所・主管研究員)、安生一郎氏(株・実装パートナーズ代表取締役)に大変に御世話になった。また、九州工業大学の石原政道先生、明星大学の塚寛治先生をはじめ、(個人名は伏せさせて頂くが)エルピーダ、ルネサス、日本Rambus、日本インテル、日本テキサスインスツルメンツ等々の技術者の方々に大変に御世話になった。これらの方々に、この場をお借りして心から御礼を申し上げたい。なお、本論自体の内容に関する誤り等に関しては、すべて筆者達に帰属するものであることを申し添えたい。なお、本論作成に際し、経済産業研究所からの支援を得ている。

³⁷ マザーボードとはMPUやDRAMモジュールなど部品を装着するPC内の大きな基板、チップセットとはマザーボード上に装着され、MPUとDRAM、HDD等の記憶装置やキーボード、グラフィック装置その他を繋いで効率的な作業の連繋を可能にする論理制御装置である。チップセット発展の歴史や機能についての懇切丁寧な説明がMuller(1999)に示されている。

の設計が極めて難しくなった。そして、そのような難問を解決する手段として下記のようなインテル流“プラットフォーム戦略”³⁸が出現してきた。

インテル流“プラットフォーム戦略”：ムーアの法則³⁹と共に急速に高速化していくインテル製 MPU を迅速に活用するために不可欠なチップセットやマザーボード、ソフトウェア開発ツールなどを徹底的に標準化(モジュール化)、それら(含むお手本としてのレファレンス・デザイン)を“公共財”並に無料ないし低価格で提供することで同社製 MPU の入ったパソコン市場全体のパイを拡大させるプラットフォームを構築、そのようなプラットフォームによって実現される良循環プロセス(=プラットフォーム採用数増大に共なう収穫逓増の法則)の中で MPU 市場での覇権を確立・強化する。

その結果、上記のマザーボード上の各種作業間のコミュニケーション構造の設計という難問を解決するために、MPU メーカーであるインテルを中心とした相互補完的な半導体エコシステム(生態系)が半導体産業の中に出現することになった。そして、汎用 DRAM メーカーとしての日本勢は、このエコシステムの中でさらなる下部システムと位置づけられることになり、さらに競争力を失っていった。⁴⁰

3.1 90年代初頭における実装技術のホット・スポット化

ホット・スポット化の最も主要な要因は、インテル製マイクロプロセッサ(MPU)の急激な高速化である。より具体的には、マザーボード⁴¹を構成する MPU、チップセット、メインメモリ、その他の機能ブロック間で、信号遅延・揺らぎ・歪み、信号線間の電磁界干渉(クロストークなど)に代表される Signal Integrity (信号品質、以後 SI と呼ぶ)の問題が深刻化してきた。つまり、(信号が伝播する遅延時間が無視できる)“集中定数回路”の時代に代わって、(同遅延時間が無視できないため信号伝送線路の距離が問題となる)“分布定数回路”の時代が訪れた。

⁴²

マザーボード上においてデジタル信号の伝送速度が 30MHz を超えると分布定数回路的な扱いの必要性が急増する。⁴³ さらに、速度が 40MHz や 50MHz を超えると、デジタル信号が単純な矩形波では扱えなくなり、動作領域をアイパターン(Eye Pattern)⁴⁴として捉える等のアナログ信号的な扱いが必要になる。このような状況を身近な事例で知るために、スーパーコンピュータ(スパコン)で一世を風靡したクレイとインテルの MPU 内部におけるクロック・スピード(1 秒間に実行可能な仕事サイクル数)の推移を追ってみた。結果は、表2に示されている。

³⁸ ビジネス戦略としての“プラットフォーム戦略”論は、Gawer and Cusumano (2002)、Burgelman (2002)、Gawer and Henderson (2007)などによって提示された。また、90年代における日本の半導体メーカーの競争力低下要因をインテル流“プラットフォーム戦略”の欠如に帰着させる立本(2007)のような議論もある。

³⁹ インテル創業者の1人である Moore が唱えたとされるトランジスタの集積密度が、18-24 か月ごとに2倍になるという経験則。

⁴⁰ 日本勢が汎用 DRAM ビジネスで競争力を失っていったその他の重要な要因については、Chuma and Hashimoto(2010)を参照して欲しい。

⁴¹ マザーボードとは MPU や DRAM モジュールなど部品を装着する PC 内の大きな基板、チップセットとはマザーボード上に装着され、MPU と DRAM、HDD 等の記憶装置やキーボード、グラフィック装置その他を繋いで効率的な制御を司る役割を持つ論理制御装置である。チップセット発展の歴史や機能についての懇切丁寧な説明が Muller (1999)に示されている。

⁴² なお、最近では、DC(直流)-DC(直流)コンバータの高速スイッチング動作で発生する高周波電流の変化や基板内で電源電圧が異なる複数のデジタル LSI を使用することによって発生する電圧の変動による Power Integrity (PI:電源分配品質)の問題も深刻化している(赤沢(2007))。

⁴³ 以上については、Goyal(1994)、Lipman(1996)参照。

⁴⁴ 任意の検波区間を通る信号の波形パターンを同一の図上に重ね合わせたもの。波形パターンの重なり具合が目のような形状になるためアイ・パターンと呼ばれる。品質の良い信号は、目が大きくハッキリと開いている。

この表によると、1989年導入の初代80486頃から、上記の30MHzの限界に近づいている様子を確認できる。⁴⁵ さらに、1993年の初代Pentium導入時には、内部・外部クロック共に60MHzを超えており、パーソナルコンピュータ(パソコン)用のシステム化実装技術の難度が急増した。⁴⁶ 加えて、Bogatin(1997)によれば、1982年でのパソコンの定義は「20メガフロップス⁴⁷超のコンピュータ」であったが、インテル製の33MHz 486DX(1989年初導入)は、ほぼその基準に合致していた。

(表2)

上記の点は、分布定数回路に絡む実装技術上の問題が、80年代後半の1MビットDRAMの時代にも少なからず起きていたことと整合的である。事実、当時のメインフレーム・コンピュータ(メインフレーム)を主なターゲットとしていたJEDEC(Joint Electron Device Engineering Council)仕様のDRAMが、パソコンでは動かないケースが少なからず発生していた(当時を知るインテル技術者談)。そのため、インテルは、当時においても、主要DRAMメーカーに対し、JEDEC仕様に加えて追加的に満たすべき要件に関する様々なアドバイスを非公式に行っていたという。問題発生の主な要因は、普及型のIBM(互換)パソコン実現のために、マザーボード基板の4層化”という難題を市場が志向したことにある。⁴⁸ 4層基板の場合、各種のチップから構成される機能ブロックの相互依存性が急速に高まるため、それらの分割・配置やネットワーク配線上の自由度が、システム設計の際に大きく制限されてしまう。あまりに相互依存性が高まってしまうと、各々の部分でのちょっとした変更でも、他の数多くの部分に混乱をもたらすようになるからである。

4層基板でのシステム化実装技術がいかに難しいものであったかを実感するために、1980年～90年におけるパソコン、ワークステーション、メインフレーム、ミニ・コンピュータ(ミニコン)のマザーボード積層数を調べてみた(表3)。この表の日立製メインフレームのM680-HやM682-Hは実に20層を超える基板を使用している。このような多層基板を使用すると、当時でも、(マザーボードと各種の半導体チップを繋ぐための)ピン数やそれらの配置・配線の全長、特定配線部分の長さ等々の決定を99.9%(自動設計ソフトで)自動的に決定できていた。⁴⁹ ところが、IBM互換パソコンの場合、それを4層基板のシステムでまとめ上げなければならなかった。したがって、そのローエンドな特徴とは裏腹に、かなり高度なシステム化実装技術が不可欠であった。⁵⁰

⁴⁵ 80486DX2から内部クロックと外部クロックに分かれているのは、マザーボード上でのSI問題解決の困難さを回避するための苦肉の策であった(80386、486、Pentium開発の重鎮(後に副社長)であったA.Yu(1999)、146頁参照)。なお、インテルは、それまでも、迅速かつ安価なマザーボード等の提供を狙って、この種のハイブリッド戦略を初期の8088や386SXでも実施した(Mueller(1999)、第3章など)。

⁴⁶ 実際には、1クロック当たり処理可能な命令セット(Instruction Set)数や内容が製品によって異なるので、クロック・スピードによる単純比較には注意が必要である。例えば、初代386に比べ、1クロック当たりの命令セット処理スピードは、486で2倍、Pentiumで4倍、Pentium Proで8倍以上となっている(Mueller(1999)、第3章やStokes(2007)など参照)。したがって、SI(信号品質)の問題は、最近になればなるほど深刻になってきている。

⁴⁷ 1秒間に100万回の浮動小数点数演算(実数計算)を実行できること。

⁴⁸ 80年代後半から90年代初頭にかけてIBM PC/ATの互換機用として”Baby-AT”と呼ばれるタイプが市場をほぼ制覇していた。ところが、Pentium発売前後にインテルが満を持して参入、94年には世界の殆どのパソコンがインテル製のマザーボードを使用するようになった。マザーボードの歴史に関しては、Mueller(1999)に詳しい。

⁴⁹ Ohno, Miyoshi, Yamada, Odaka, Kozawa, and Ishihara(1994)

⁵⁰ PC98UXに関しては中心部幅広で4層、SPARCstation SLCに関しては均等間隔で8層の銅箔層の存在を各々実機のマザーボード切片を顕微鏡で確認しての推定値。また、M680-Hに関してはOhno, Miyoshi, Yamada, Odaka, Kozawa, and Ishihara(1994)、IBM3081とVAX9000はBogatin(1997)参照。

(表 3)

3.2 インテル流 “プラットフォーム戦略”導入の背景：実装技術のシステム化

前述したインテル流プラットフォーム戦略が導入されるに至る技術的要因とはどのようなものだったのだろうか？その大きな要因の一つは、4 層基板上の SI 問題に象徴される複雑な問題解決のために、実装技術のシステム化要請が大きく高まったことである。この点は、米国において 1992 年に打倒日本を企図して産学官軍の挙国一致体制で創設された NTRS (National Technology Roadmap for Semiconductors) 第 1 回目の報告書の下記の一節にも明瞭に記されている。

「実装技術は、伝統的には(チップの)サプライヤーとユーザー(システムメーカー)とが共に事業領域としてきた領域であるが、その重要性にも関わらず、極めて遅々とした進歩しかしてきていない。そのため、競争力のある電子実装技術を発達させるためには、半導体企業、サプライヤー、システムメーカー間でのもっと緊密な協力体制が要請されている。」(NTRS1992 年版報告書 15 頁、中馬訳)

前述のように“4 層基板のスパコン”実現のために、かなり高度なシステム化実装技術が必要になってきた。この点に関して Burgelman(2002)は、91 年当時に新設された PCI事業部長の下記のような興味深い感想を紹介している。

「今までビットだとかバイトだとかしか考えてこなかった連中に、システムのレベルで考えさせることは大きな挑戦だった」(同日本語版、258 頁)

他方、インテルにとって、当時においても、ムーアの法則は、自社内のみならず、半導体エコシステム(生態系)内において MPU を中心とした相互補完的な各種の社外メーカーとの同期クロックとして極めて重要なものであった。ところが、システム化のための考察の系が急拡大していく中で、上記の二つの要請を同時に実現・維持していくためには、企業内外のサイエンス・ナレッジを迅速かつ広範囲に結集することが不可欠となった。その第一の関門がチップセット、その次の関門が、それを搭載するマザーボードであった。事実、90 年当時、インテル内で PCI 事業の研究開発予算を確保するためにもっとも説得力の高かったロジックは、「高速のチップセットを開発しなければ、高性能のマイクロプロセッサを出荷することが難しくなる」であったという。⁵¹

イノベーションは、アイデアをつくり出す「人」の要因、環境や社会という「場」の要因、時代や偶然などの「時」の要因の三つの条件が整って共鳴しあわないと成立しない。⁵² この点に関して、インテルにとっての順風の一つは、Chips & Technology (C&T)社から 1986 年に登場した“革命的”チップセット(CS8220)だった。⁵³ 従来、チップセットは、IBM や HP 等のシステムメーカーの貴重なノウハウの固まりでであった。そのた

⁵¹ Burgelman(2002)、日本語訳 264 頁。

⁵² 宮原 (2005)、33 頁。

⁵³ フィリピン生まれ・育ちの伝説的な天才発明家&ベンチャー/キャピタリスト Diosdado Banatao 氏を創立者の 1 人 (他

め、(IBC PC/XT、PC/AT 互換)パソコン時代が訪れていたものの、チップセットの複雑性がその発展の桎梏となっていた。ところが、このような複雑性が CS8220 という汎用チップセットの登場によって一気に打開され、IBM PC 互換機市場が爆発的に成長をはじめた。⁵⁴

実際、CS8220 の完成形であるとされるワンチップ型の 82C386(通称 SCAT、1989 年) の規格書(第 3 版、1993)を見ると、Clock/Bus Control, DMA(Direct Memory Access) Controller, DRAM Interface, CPU Access to AT-Bus 等々に加え、なんと(スリープ状態などからの復帰する際に不可欠な)Standby Power Management に関してまで、まるでインテル作のものかと思われるほどの詳細さである。⁵⁵ そして、この 82C386 の投入時期である 1989 年は、奇しくもインテルのチップセット・ビジネスへの本格参入時点と一致していた。⁵⁶ 加えて、1989 年という年は、それまでの 80386(86 年発売開始)に比べて格段の高速性を備えた初代 80486 の投入時期(対応チップセットは 420 シリーズ)でもあった。まさに、「人」「場」「時」の揃い踏みという感じである。

C&T のチップセット市場参入は、前述した Baby-AT 等のマザーボード市場をも大いに活性化させた。ただし、インテル製 MPU の飽くことなき高速化は、“4 層基板のスパコン”実現のためのハードルを不連続的に高めたため、マザーボード設計に高度なシステム化実装技術が不可欠となった。その例証は、間接的ではあるが、インテルが 90 年初頭以来自動設計ソフト(EDA)ベンダー等呼びかけて創設に至った IBIS Open Forum に象徴的に現れている。⁵⁷

IBIS モデルとは、信号遅延・揺らぎ・歪みやクロストークなどの SI に関連する実装上の難題を、基板上での回路動作状況をシステムレベルでシミュレーション(“伝送線路回路シミュレーション”と呼ばれる)することで解決するためのものである。しかも、それまでのシミュレーションモデルとは異なり、IC 内部の情報を社外に出さずに高速で精度の高い解析を行うことができる(庄司・前田(2009))。IBIS 導入の当初の目的は、同社が 1992 年に導入することになる PCI-BUSS を備えた PCI-Chipset に関する実装設計上の諸問題を解決するためであった。そのことは、IBIS Open Forum の設立趣意書のみならず、PCI-SIG(Peripheral Component Interconnect Special Interest Group)の創設が、IBIS とほぼ同時期(1992 年)であったことから確認できる。⁵⁸

インテルが Pentium を導入する際に直面したもう一つの大きなシステム化実装技術に関連した課題として電源回路の問題があった。⁵⁹ 特に、当時のエナジー・スター法に準拠した Standby Power Management 回路の難

にインテル・営業部門出身の設立者)とする 1984 年設立のファブレス企業。同氏は、EGA グラフィックカードや PC BUS の提案者としても名高い。1997 年にインテルが約 5 億ドルで買収、その結果、同氏は、巨万の富を得たとされる。なお、やや不思議な現象であるが、少なくとも筆者の US 特許検索による限り、関連する特許には同氏が発明者として登録されていない。

⁵⁴ 以上は主に Muller(1999)参照。なお、IBM 互換パソコン市場への参入は、Mazzucato(2002)に示されているように 80 年代半ば前後から急増(参入のピークは 1987 年)している。

⁵⁵ C&T 社は、80 年代末において 80386 互換 MPU も製造しており、AMD をも脅かす存在だった (<http://www.answers.com/topic/chips-and-technologies>)。なお、このような詳細さから類推すると、少なくとも 90 年前後までは、インテル製 MPU の内部構造に関する情報公開度が相当に高かったと思われる。

⁵⁶ Muller(1999)によれば、インテルは、このとき 82350EISA と呼ばれるチップで参入した。このチップは、PCI-BUS ではなく Compaq 主導の EISA-BUS の方式を取り入れたチップセットであった。また、しかも、渋る当時のインテルにチップセット参入を促したのは Compaq であった。当時のインテル内におけるチップセット市場参入へのためらい状況は、Burgelman(2002)7 章にも示されている。なお、インテルは、この時期以前にも、チップセットを小規模で試行錯誤的には提供していた。

⁵⁷ Input Output Buffer Information Specification。別名 ANSI/EIA-656。IBIS の歴史や DRAM への適応等々に関しては、<http://www.eigroup.org/ibis/pcbeas97.htm>、<http://www.vhdl.org/pub/ibis/summits/dec05/shoji.pdf> や <http://www.vhdl.org/pub/ibis/summits/index-bytitle.htm> を参照。現状、同フォーラムには、EDA ベンダーに加えて世界中のシステムメーカーや半導体メーカーも参加している。

⁵⁸ 庄司・前田(2009)の第一部第一章にも詳しい。

⁵⁹ インテルは、1995 年に CPU・マザーボード用電源安定化回路の規格である VRM (VOLTAGE REGULATOR MODULE)導入している。

度が極めて高かった。そのため、インテルは、1993 年の国際応用パワーエレクトロニクス学会 (Applied Power Electronics Conference) に同期整流・高速応答特性を持つ電源回路⁶⁰の開発をオープンに依頼した。その結果、1年でこの歴史的快挙が達成され、電源専門家の度肝を抜いたという。⁶¹ この指摘は、初代 Pentium 販売 (93 年) 直後に電源回路上の大きな不具合に直面、翌年の 94 年の第二世代 Pentium でやっと不具合の解消に成功したという事実と整合的である。⁶²

以上の事例が示すように、既に 90 年代初頭の段階において、インテルにとってすらも、“4 層基板のスパコン”実現には企業内外のサイエンス・ナレッジを迅速かつ広範囲に結集することが不可欠だった。同じことは、当時のチップセットやマザーボードメーカーにも当てはまる。この時代に解決すべき技術的課題が高度化したため、インテルを核とした叡智結集の輪の中に入らない限り、半導体エコシステム(生態系)における自分達の立ち位置を知ることがとても難しくなってきたからである。このような意味で、インテル流プラットフォーム戦略が登場してきた背景には、MPU の付加価値創造の方向性をシステマティックに把握するための格好の学習機会が存在した。

3.3 日本勢の認知の遅れ：メモリ・モジュールのケース

日本メーカー、特にその経営トップ層は、上記のインテル製 MPU を中心とした実装技術のシステム化傾向に臨場感を持って気づくことができていたのだろうか？真実を確認する術(すべ)は限られているが、以下に紹介するメモリ・モジュール関連の実装技術事例から判断する限り、残念ながら答えは「否(いな)」である。

表3にも示されているように、SI 問題の回避には、より多層の基板を使用することが近道である。電磁界干渉や熱拡散等による各種のノイズ発生を効果的に抑制でき、高密度での短距離配線が可能になるからである。ところが、基板の多層化は高コストとして跳ね返るため、前述のように、パソコン大量消費の時代には 4 層化が不可避であった。⁶³ その解決策の一つとして、マザーボードに DRAM パッケージを直付けするという(表3の PC9801UX21 等の)従来のスタイルを改め、マザーボード内で高密度配線が必要な箇所を外部モジュールとして切り出す工夫が導入された。そのため、DRAMをマザーボードに直付けしていた時代の MPU→チップセット→DRAM という流れが、MPU→チップセット→メモリ・モジュール→DRAM という流れになり、DRAM・モジュールの一層のサブシステム化(最終製品市場からの長距離化)がもたらされた。SIMM(Single In-line Memory Module: 256k ビット以降)や DIMM(Dual In-line Memory Module: 16M ビット以降)と呼ばれる DRAM メモリ・モジュール登場の背景でもある。⁶⁴

DRAM モジュールのサブシステム化は、90 年代半ばにシンクロナス DRAM(SDRAM)導入でさらに加速された。SDRAMは、それまで一般的であった DRAM と異なり、コンピュータ全体の動作を刻むために利用されるシ

⁶⁰ 同期整流化 (Synchronous rectification) 回路とは、Switching 電源回路内の Diode 部分を高速な Switching を可能とする Power MOSFET に代えた電源回路のこと。当時の事情については、開発に直接携わった Siliconix 社の Lee and Williams (<http://pe2bz.philpem.me.uk/pdf%20on%20typenumber/0-9/4904.pdf>) に詳しい。

⁶¹ 日本 TI の電源回路開発設計者への聞き取りによる。

⁶² Muller(1999)

⁶³ 6 層基板は、4 層基板に比べて原価がほぼ倍になるという。低価格ノート PC やデスクトップ PC では 4 層、高性能ノート PC や PC サーバでは 8 層の基板である。ちなみに、SONY が最近発売した 64 ビット OS 用高パフォーマンス・ノート PC (バイオ・Type-Z) では 12 層基板 (開発者談)、アップル製 i-PAD でも 10 層基板 (TPSS(Total Process Solution Study-Group(2010))が使用されている。

⁶⁴ Muller(1999)によれば、パソコンで SIMM の利用がはじまったのは IBM PS/2 の 1986 年、DIMM での利用開始はインテル製マザーボードが一般化する 1995 年前後である。

システム・クロックと同期して動作する。⁶⁵ その結果、DRAM チップ側ではメモリ・インタフェースの簡素化や動作速度の効率的な改善が図れるようになったが、プリント基板設計における分割・配置・配線問題の難度が急増した。⁶⁶ 事実、DIMM の標準仕様を JEDEC の各種資料で確認すると、当初は 6 層の基板を使用、その後データ転送速度が DDR、DDR2、DDR3 と高速化するにつれて、8 層、10 層、最近の FB-DIMM と呼ばれるサーバー・ワークステーション仕様では最大 12 層にまで増大している。

このようなプリント基板設計の難度急増に対処するため、JEDEC 標準の中味が、極めて詳細で具体的になってきた。DIMM 基板内の詳細なピン配置や機能結線図(ブロック・ダイアグラム)のみならず、各種のノイズによる信号の遅延・揺らぎ・歪みを避けるための配線の仕方も、結節点において守るべき抵抗値などを明記しながら微に入り細に入り規定されている。そして、そのような標準化に際しては、シミュレーションに基づくシステムレベルでの SI 分析結果が多く用いられた。しかも、そのような標準化を最近までリードしてきたのは、日立などの日本の有力 DRAM メーカーであった。⁶⁷

さらに、このような JEDEC 標準に加え、インテルによって“PC66”(SDRAM に関する電気的特性や信号タイミング、温度特性、信号/電源ピンの配列、機能などに関する規定:1997 年)、“PC1100”(同:1998 年)と呼ばれるガイドラインが示されるようになった。しかも、このガイドラインが守れないと、95 年以降にガリバー的なシェアを持つことになった ATX 等のインテルが設計したマザーボードで正常に動作する保証がなくなった。⁶⁸ マザーボード上における機能ブロック間の相互依存性があまりに複雑になり、特定の箇所を少しでもいじると全体の整合性がとれなくなってしまったためである。その結果、有力日本メーカーの技術が JEDEC 標準として“公共財化”され、DRAM モジュールのモジュール性がさらに増大した。そして、アイロニカルであるが、モジュール性向上に大きな貢献をした日本の DRAM メーカーは、十八番(おはこ)である製品差別化を図るための自由度が大幅に制限されるに至り、付加価値創造のための新たな方向性を見失う状況に陥った。

加えて、JEDEC を通じて高度に洗練されたメモリ・モジュール化は、2000 年前後にキングストン(Kingston Technology)⁶⁹やトランセンド(Transcend)、威剛科技(A-Data)⁷⁰等の巨大メモリ・モジュール・ファンドリーの登場を加速させた。さらに、これらのモジュール・ファンドリーの中には、主に個人のパソコンユーザーを狙って、洗練された完成度の高い JEDEC 規格をリファレンスデザインとし、そこから基板層数や搭載チップコンデンサ・抵抗の数を削減したりすることにより、価格破壊的なノンブランド・メモリモジュールを提供するプレーヤーも少なからず現れた。その結果、日本メーカーは、もう一つの競争領域を大きく浸食された。⁷¹

⁶⁵ それ以前の DRAM は、チップ内に独自の複数クロックが組み込まれていたため、設計上の難度がかなり高かった(伊藤(2000) 第 5 章)。

⁶⁶ Ley and Phipps(1996)、Sherwani(1999) 14 章、伊藤(2000) 第 5 章を参照。

⁶⁷ JEDEC 標準として 90 年初頭にはじまった DIMM 仕様の策定を、長期のメモリ・モジュールの発展経路を睨みながら主導的にリードしたのは日立の技術者であった。

⁶⁸ また、“PC66”以降の DRAM には、メーカー・製品毎の仕様の差をインテル製チップセットとの自動通信によって吸収する仕組みである SPD (Serial Presence Detect) と呼ばれる ROM(Read Only Memory)の搭載が定められた。さらに、チップセットとの同期をより正確に行うための Registered や Fully Buffered と呼ばれる機能がついた DRAM では、そのための IC チップ(後者は Advanced Memory Buffer(AMB)と呼ばれる)がさらに実装された。これらの IC チップ仕様も、インテル主導で作成されたものである。なお、PC133 からは、JEDEC 標準として作成されるようになっている。

⁶⁹ 孫氏のソフトバンクは、96 年にキングストン株の 88%を取得、99 年に手放している。同社 HP によれば、同社が外販メモリーモジュールメーカーとして iSuppli から世界一との評価を受けたのは 2004 年である。

⁷⁰ トランセンドは、2001 年に台湾株式市場に上場したメモリ・モジュール・ファンドリー。2007 年段階で世界シェア 6 位。A-Data も、2001 年設立の台湾メモリ・モジュール・ファンドリー。2007 年の世界シェア 3 位。以上は、<http://www.kingston.com/japan/company/marketshare.asp>などを参照。

⁷¹ メモリ・モジュールを製造する場合、JEDEC 規定をクリアーするために、DRAM チップ本体に加えて、米粒の半分以下のサイズの積層セラミック(チップ)抵抗・コンデンサなどが 1000 個以上使われる。なお、2000 年前後までは、DRAM メーカー自身(含む協力企業)でメモリ・モジュール製造をも手がけるケースが一般的であった。

たしかに、上記のモジュール化傾向に対応するため、(日立のような)日本メーカーでは、この時期にチップ設計と(チップの)実装設計とがより緊密な情報交換をするようになった。64M ビット以降、量産初期でもチップサイズを 100mm² に抑える“Better, Cheaper, Smaller and Faster”傾向が顕著になったことによる(Chuma and Hashimoto(2010))。ところが、このような協力・協調体制は、技術戦略とビジネス戦略が交差するホット・スポットとしてのメモリ・モジュール設計等を包摂するものではなかった。

企業間にまたがった形での標準化活動を推進する事業戦略上の目的は、標準を採ることだけではなく、自国や自社の技術・経営資源を市場で有効かつ長期にわたって活かせるように標準化プロセスをリードすることだと考えられる。ただし、自律分散性(“おまかせ文化”)で特徴付けられる旧来の組織経営方式が導入されている場合、技術や市場の最前線で起きる相変化が、それらに対峙する技術者達には感じられても、経営トップ層にはなかなか迅速に伝わりにくい。それは、我が国において、事業戦略と技術戦略とを迅速に同期させた形での標準化活動をなかなか実施できない要因でもある。

4. 結びに代えて

本論では、半導体(HKMG)プロセス技術とシステム化実装技術という性質の異なる二つの事例を取り上げ、日本の半導体産業が加速するテクノロジーやマーケットの複雑性増大スピードになかなかついて行けなくなっている様子の一目瞭然化を試みた。特に、前者の事例においては、ネットワーク分析に基づいて日本的な研究開発システムの特徴を示すマイクロビューとマクロビューを提示し、個別には優れた要素技術を保有する日本勢が世界の中で顕著に孤立化(“離れ小島化”)していく様子を提示した。また、日本勢のこのような孤立化状況を相対化するため、インテルやIBMを中心とした米国勢、SamsungやTSMCを中心とした東アジア勢との研究開発システム上のネットワーク特性の違いを分析した。そして、このような日本勢の特異な孤立化状況が、2000年前後に発生した研究段階から開発段階への相変化によって急加速したテクノロジーやマーケットのクロック・スピードについて行けなくなってきた要因の一つでもあると類推した。システム化実装技術の事例に関しては、インテル製マイクロプロセッサ(MPU)の急激な高速化に伴い“集中定数回路”の時代から“分布定数回路”の時代への相変化が不連続的に発生した時期(1990年前後)に焦点をあてた。そして、個別には優れた要素技術を保有していた日本勢が、インテル流“プラットフォーム”戦略によって生み出された半導体エコシステム内で、さらなる下位システムとして位置づけられ競争力を低下させていった様子を示した。

ただし、本文では、そもそも日本勢がなぜ加速したテクノロジーやマーケットのクロック・スピードについて行けなくなっているのか?どのようにすれば加速したクロック・スピードについていけるようになるのか?について明確には言及はされていない。したがって、本節では、このような難問解決の手がかりを探るための私論を提示してみたい。そのために、冒頭で紹介したC. Rowen(2004)からの含意である“人工物の複雑性が増していくにつれて半導体チップも社会も類似の問題に悩むようになる”という構図にさらに踏み込んでみたい。

前述のように、冒頭の引用文の中で“個々の作業のパフォーマンス”＝“日本の半導体産業が保有する個別には優れた要素技術”及び“(個々のプロセッサが受け持つ)作業間”＝“組織内・組織間”というアナロジーを適用すると、加速したテクノロジーやマーケットのクロック・スピードについて行けなくなっている直接の原因は、組織内・組織間における情報の応答速度、転送速度が大きく低下したことにある可能性が高い。そして、これらの速度低下が発生している直接の原因は、組織内・組織間にビルト・インされたコミュニケ

ーション構造の設計上の非効率性に帰着すると考えられる。

上記のロジックは、日本の製造業の強さを信じて疑わない人々にとっては奇異に感じられるのではないだろうか？というのには、彼らには、「日本の製造業では、生産現場、技術部門、研究開発部門、営業（&マーケティング）部門や関連する協力企業との緊密な情報共有によって、企業内外での迅速なフィードバック・システムが形成されている」との思いが強いからである。したがって、上記の半導体チップと社会とのアナロジーを用いた“単純な”ロジックはなかなか受け入れがたい筈である。ところが、実際には、以下のような理由で、両者はかなり整合的である。

整合性をもたらすのは、組織内・組織間における情報の応答速度、転送速度を革命的に向上させることのできるICT (Information and Communication Technology) の役割である。実際、ICTの登場によって、あらゆる情報媒体間のネットワーク化・常時接続化、情報伝達の即時処理化、情報利用のジャスト・イン・タイム化、分析視点の自在なズームイン・ズームアウト化といった便益が生まれ、それらを大勢の人々が極めて安価に享受できるようになった。しかも、その威力は、時代を経るごとにさらに加速しつつある。その結果、やや極端に言えば、内外を問わず、“並”の企業でも、各組織に合ったコミュニケーション構造さえ導入できれば、80年代に日本の優良企業が誇った“企業内外での迅速なフィードバック・システム”を超えるものすら短期間のうちに安価で手に入れることができるようになった。つまり、ICTの登場によって、組織内・組織間コミュニケーション構造の設計領域でも、競争の次元が大幅に変わってしまった。

ただし、このような現実直面しながらも、日本企業、特に80年代に絶大なる競争力を誇った企業には、旧来の組織内・組織間コミュニケーション構造の部分的な設計変更で対処しようとする傾向が依然として強い。⁷² なぜなのだろうか？一つの大きな理由は、日本勢が、組織の末端においても自律分散性（その結果としての高い属人性）を特徴とする組織内・組織間コミュニケーション構造を重視しているためだと思われる。⁷³ しかも、筆者を含めた大多数の日本人々が、このような文化特性は失ってはならない極めて貴重なものだと考えている。

上記の懸念は、杞憂ではない。実際、高い転送速度や応答速度を誇るICTの導入は、組織内・組織間コミュニケーション構造の設計次第では、日本の得難い美德である自律分散性を大きく損なわせてしまい、結果として逆に生産性を低下させてしまう危険性がある。例えば、日本の多くの半導体メーカーでは、90年代半ばに、それまでかなり人手に頼る部分の多かった150mmの半導体工場から飛躍的に自動化率が高まった200mmの半導体工場への移行が急速に進んだ。そして、そのような移行期に、ICTの自動化能力により重きを置く生産システムに切り替えた。より具体的には、それまでの問題発見・解決を生産現場と技術部門との緊密な関係プレーに依存する半導体生産システムから、問題解決は技術部門に委ね“現場は賢い機械・設備に奉仕してもらう”生産システムに舵を切った。半導体工場における“請負（派遣）工”比率が急増したのもこの時期からである。ところが、この新システムは、おおむね事前の期待を大幅に下回るパフォーマンスしか発揮できなかった。そのため、自動化率で200mm工場を遙かに上回る300mm工場の時代を迎えた2000年以降になると、多くの企業が、トヨタ生産方式ブームもあり、従来の両部門依存型システムに再度回帰しはじめた。⁷⁴

ただし、組織間・組織内での情報の応答速度、転送速度を向上させることの便益がそのコストを大幅に上回るのであれば、ICTの本格導入をいつまでもためらっている余裕はないはずである。とすると、ICTの導入をな

⁷² そのことは、強力な“見える化”ツールであるPLM (Product Lifecycle Management) ソフトの導入率が国際的にも低く、導入している企業でも社内の一部門やその関係先に限定されているという事実からも端的にうかがえる。

⁷³ そして、自律分散性を特に好む背景には、ロラン・バルトが半世紀も前に『記号の国』で驚嘆した“結果よりもプロセスを重んじる”古き良き日本文化の特性に深く根ざしている可能性が高い (R. Barthes(1970))。

⁷⁴ 詳しくは中馬(2007)を参照されたい。

かなか進めることができないもっと本質的な理由があるのではないだろうか？ここで思い浮かぶのは、Zuboff (1984)の下記のような指摘である。

「情報技術は、現実の輪郭を次のような形で本質的に変えてしまう。仕事はより抽象的になり、知性のプログラム化が進み、組織に蓄えられる記憶や組織自体の“見える化(visualization)”がこれまでの歴史的な水準を遙かに超えて増大する。……新しい可能性が生まれてくれば、(それをどう活かすかについての)新しい熟慮が必要になる。その際には、(あらゆる事柄を)自動化する能力(ability to automate)と一目瞭然化する能力(ability to informate)という情報技術の持つ二面性が有用な視点を提供してくれる。」(同390頁、中馬訳、()内は中馬補足)

実際、テクノロジーやマーケットの複雑性が増大すると、既存の専門的・統合的な知識の蓄積のみならず、それらを新たな抽象度で統合し活用するための知識の深化・蓄積が不可欠となる。しかも、そのような新しい知識は、その抽象度の高さから、特定の個人の中で完結しないほどの幅と深さの広がりを持つ。そのため、それらを有効活用するためには、部門や組織の壁を越えた迅速な英知の結集が必要となる。加えて、それらを新たに造り出すためには、各自が持っている既存の知識の互換性や再利用性を高めることが不可欠である。ところが、互換性・再利用性を向上させるためには、既存の知識の抽象度を階層的に整理・統合し、分かりやすく共通言語(認知)化しなければならない。⁷⁵

しかしながら、共通言語化は、しばしば、互換性・再利用性向上に大きく貢献してくれる人々自身の希少性を最も減少させてしまう。加えて、自律分散性をも重視する日本の組織では、人々に体化している既存の抽象度での知識が、中核部分のみならず末端部分でも暗黙知化している部分が多い。そのため、トップダウン方式で共通言語化を無理強いしても、各自の重い腰はなかなか上がらないし、暗黙知の核心部分をなかなか吐露してもらえない。このように、ICT の導入がなかなか進まない状況の背後に、古き良き日本文化の特性と密接に関係した身近ではあるが難度の高い利益相反問題が潜んでいる。

繰り返しになるが、上記の利益相反問題を解決できるかどうかは、組織内・組織間におけるコミュニケーション構造の設計に依存している。そして、その際の基本原則は、情報技術の持つ二面性の中の一目瞭然化能力の活用であることは間違いない。⁷⁶ その意味では、競争力低下の打開には、下記に Zuboff が指摘するように、ICT がもたらしつつある革命的な意義に関する経営トップ層の認知の深さとそれらを駆使する際の彼らの哲学が問われているのではないだろうか？ “トヨタ生産方式”を生み出した国で、それができないはずはない！⁷⁷

「このような (ICT が可能にしたあらゆる事柄を一目瞭然化してしまう) 環境の中では、新しい労働の分業形態を支えるための新しい学習の分業形態が必要になる。旧来の組織は、上意下達の関係が最もうまく機能するように設計されており、(組織内で利用可能な) 知識に対するアクセスが職階毎に異なるという仕組みに依存していた。……そのような旧来型の組織とは対照的に、(組織内で利用可能な知識が) 一目瞭然化された組織では、すべての種類の社員の間で有用な学習が促進される構造になっており、そのための (知識へのアクセスに関する) 平等な関係が前提とされている。」(同 394 頁、中馬訳、()内は中馬補足)

⁷⁵ Sperber and Wilson (1999)、Dewatripont and Tirole(2005)。

⁷⁶ 中馬 (2007) には、このような生産システム改革の試みの一つとして土屋孝行氏によって主導された極めてユニークな (広島) エルピーダの事例が紹介されている。

⁷⁷ R. Sennett(2008)が主張するように、自律分散性の豊かさが提供してくれる仕事遂行上の充実感や高揚感と ICT とを可能な限り両立させることは人類が共通に追い求めるべき課題でもある。

「しかし、各自の作業が、意味を創り出しそれらを互いに伝達しあうための共同作業を伴うようになると、人々の感情の移り変わりは、彼らを雇っている組織だけの関心事ではなくなってくる。自分自身や互いの仲間、組織の目的に関して各自がどう感じるかが、仕事の抽象度の高まりと新しい学習の分業体系(の出現)によって必要となってきた彼らの参加意欲とやる気の高さに緊密に関わってくるためである。」(同 401 頁、中馬訳、()内は中馬補足)

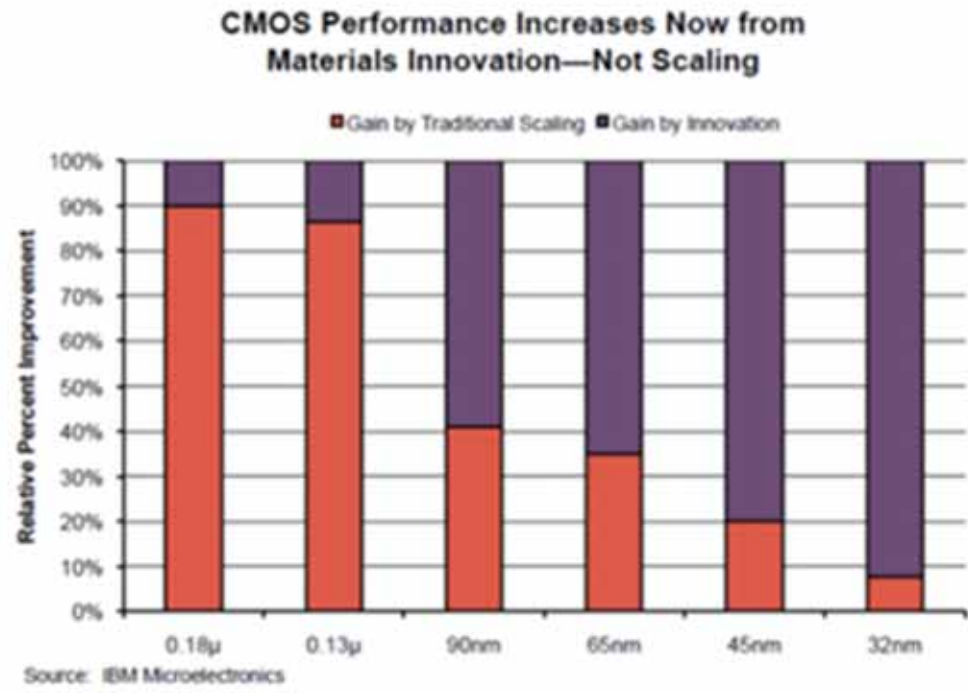
参考文献

- ・ 赤沢隆 (2007)、「新システムLSI設計思想 (SiP)」、『図解最先端半導体パッケージ技術のすべて』(半導体新技術研究会編、村上元監修)、工業調査会、110-115 頁
- ・ Bogatin, E. (1997), *Roadmaps of Packaging Technology*, Integrated Circuit Engineering Corporation (ICE)
- ・ Bohr, Mark T., Robert S. Chau, Tahir Ghani, Kaizad Mistry (2007), “The High-k Solution,” IEEE-Spectrum, October, pp. 29-35
- ・ Burgelman, Robert A. (2002)、*Strategy is Destiny* (日本語訳『インテルの戦略:企業変貌を実践した戦略形成プロセス』)、ダイヤモンド社
- ・ Chesbrough (2003), *Open Business Models: How to Thrive in the New Innovation Landscape*, Harvard Business Press, 2006
- ・ Chuma, H., And N. Hashimoto (2010) , “Moore’s Law, Increasing Complexity and the Limits of Organization: The Modern Significance of Japanese Chipmakers’ Commodity DRAM Business,” in Itami, H., K. Kusunoki, T. Numagami, and A. Takeishi(ed), *Dynamics of Knowledge, Corporate Systems, and Innovation*, pp. 209-245
- ・ 中馬宏之 (2007)、「日本の半導体生産システムの競争力弱体化要因を探る: Papert’s Principle の視点から」、『認知科学 (日本認知科学学会誌)』第 14 卷 1 号 35-39 頁
(http://www.jstage.jst.go.jp/article/jcss/14/1/39/_pdf/-char/ja/)
- ・ Dewatripont, Mathias and Jean Tirole (2005), “Modes of Communication,” *Journal of Political Economy*, vol. 113, no.6, pp1217-1238
- ・ Fruchterman, Thomas M. J. and Edward M. Reingold (1991), “Graph Drawing by Force-directed Placement,” *Software-Practice and Experience*, Vol. 21, No. 11, November, pp. 1129-1164
- ・ Gawer, A. and Michael A. Cusumano (2002)、*Platform Leadership: How Intel, Microsoft, and Cisco Drive Industry Innovation* (日本語訳『プラットフォーム・リーダーシップーイノベーションを導く新しい経営戦略』)、有斐閣
- ・ Gawer, A. and R. Henderson (2007), “Platform Owner Entry and Innovation in Complementary Markets: Evidence from Intel,” *Journal of Economics & Management Strategy*, Volume 16, Number 1, Spring , 1-34
- ・ Girvan, Michelle and Mark E. J. Newman (2002), “Community structure in social and biological networks,” *Proceedings of the National Academy of Science of the United States of America*, vol. 99, No.12, pp. 7821-7826
- ・ Grove, Andrew S. (1997), *Only the Paranoid Survive: How to Exploit the Crisis Points that Challenge Every Company and Career* (日本語訳『インテル戦略転換』)、七賢出版社
- ・ Goyal, R. (1994), “Managing Signal Integrity,” *IEEE Spectrum*, March, pp.54-58
- ・ 伊藤清 (2000)、『超 LSI メモリ』、第6刷、培風館
- ・ Ley, G. and D. Phipps (1996), “Design and Analysis of a Synchronous DRAM Memory Module,” *Records of the 1996 IEEE International Workshop on Memory Technology, Design and Testing*, pp.72-78
- ・ Lipman, J. (1996), “EDA tools accelerate high-speed pc-board design,” *EDN(Electronics Design)*,

Strategies, News), March 28 (<http://www.edn.com/archives/1996/032896/07df2.htm>)

- Lojek, Bo (2006) , *History of Semiconductor Engineering*, Springer
- Mazzucato, M. (2002), “The PC Industry: New Economy or Early Life-Cycle ?” *Review of Economic Dynamics*, Vol. 5, 318-345
- McClean, Bill, Brian Matas, and Trevor Yancey (2010), *The McClean Report 2010 Edition*, IC Insight, Inc
- 宮原淳二 (2005)、『「白い光」のイノベーション—ガス灯・電球・蛍光灯・発光ダイオード』(朝日新聞社、2005年)
- Mueller, S. (1999), *Upgrading and Repairing PCs*, 11th Edition, Que Corporation, Indianapolis
- Newman, Mark E. J. (2006), “Finding community structure in networks using the eigenvectors of matrices,” *Physical Review E*, *Physical Review E*, Vol. 74, No. 3, September, Part II, 036104.1-036104.19.
- Ohno, Y., M. Miyoshi, N. Yamada, T. Odaka, T. Kozawa, and K. Ishihara (1994), “Principles of Design Automation System for Very Large Scale Computer Design,” 23rd Design Automation Conference, pp. 354-359
- Barthes, Roland (1970), *L’Empire Des Singes*, 石川美子訳、『記号の国』(みすず書房、2004)
- Rowen, C. (2004), *Engineering the Complex SOC*, Upper Saddle River, Prentice Hall
- Sennett, Richard (2008), *The Craftsman*, Yale University Press
- Sherwani N. (1999), *Algorithms for VLSI Physical Design Automation*, 3rd Edition, Boston/Dordrecht/London, Kluwer Academic Corporation.
- Sperber, D. and Wilson, D. (1999), 内田聖二, 中達俊明, 宋南先, 田中圭子訳, 『関係性理論 : 伝達と認知 (第2版)』 (Relevance : communication and cognition), 研究社
- Stokes, J. (2008), *Inside the Machine: An Illustrated Introduction to Microprocessors and Computer Architecture*, San Francisco, No Starch Press
- 庄司和良・前田真一(2009)、伝送線路シミュレーションモデル IBIS ガイドブック-IBIS スペックオフィシャル日本語版-、工業調査会。
- 立本博文 (2007)、「PC のバス・アーキテクチャの変遷と競争優位: なぜ Intel は、プラットフォーム・リーダーシップを獲得できたか」、東京大学 COE ものづくり経営研究センター MMRC Discussion Paper No. 171
- Total Process Solution Study-Group(2010)、9月7日 TPSS セミナー配付資料
- 鳥海明 (2005)、「高誘電率ゲート絶縁膜技術の課題と動向」、*表面科学*、Vol. 26, No. 5, pp. 242-248,
- Yu, A. (1999), *Creating the Digital Future: The Secrets of Consistent Innovation at Intel*, New York/London/Toronto/Singapore/Sydney, The Free Press
- Zuboff, Shoshana (1984), *In the Age of the Smart Machine: The Future of Work and Power*, Basic Books.

図1 : 90nmで迎えた従来型プロセス技術の限界



出典: 出典: McClean Matas, and Yancey(2010)

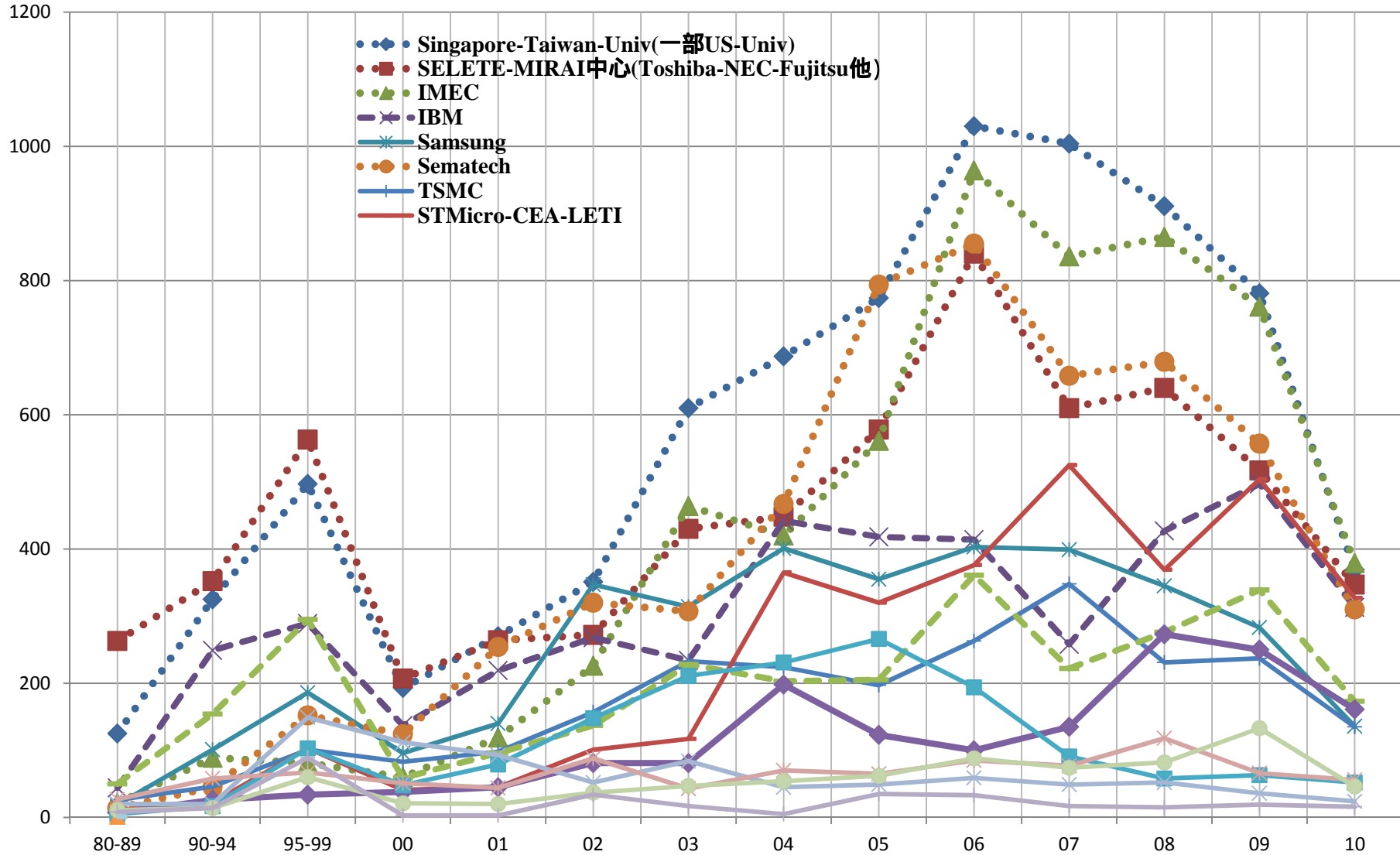
表1:テクノロジー種類別のメジャー・ジャーナル著者ランキング:1964 - 2010

ALD		GATE-LAST		HIGH-K		METAL-GATE		STRAINED-SI	
H-KIM	17	J-C-LEE	17	J-C-LEE	143	D-L-KWONG	24	S-TAKAGI	54
M-LESKELA	16	Y-TATESHITA	15	G-BERSUKER	131	I-LUNDSTROM	19	N-SUGIYAMA	43
S-M-GEORGE	15	H-WAKABAYASHI	14	B-H-LEE	106	D-M-FLEETWOOD	18	J-L-HOYT	41
M-RITALA	14	N-NAGASHIMA	13	D-L-KWONG	94	J-R-SCHWANK	18	T-TEZUKA	38
C-S-HWANG	13	S-BIESEMANS	12	R-CHOI	92	M-R-SHANEYFELT	17	E-A-FITZGERALD	36
J-G-EKERDT	11	F-MARTIN	12	G-GROESENEKEN	91	M-F-LI	16	J-D-CRESSLER	35
M-C-M-VAN-DE-SANDEN	11	E-CARTIER	12	P-MAJHI	83	S-BIESEMANS	16	D-A-ANTONIADIS	31
S-M-BEDAIR	11	V-NARAYANAN	11	A-CHIN	75	L-F-FULLER	14	D-L-KWONG	28
S-W-KANG	11	B-GUILLAUMOT	11	R-JAMMY	71	B-HOEFFLINGER	13	J-O-CHU	28
W-M-M-KESSELS	11	P-DONGGUN	11	S-DE-GENDT	70	P-S-WINOKUR	13	T-MIZUNO	26
J-P-CHANG	10	S-KADOMURA	11	A-TORIUMI	63	A-CHIN	12	B-S-MEYERSON	26
J-W-ELAM	10	T-SKOTNICKI	11	M-F-LI	62	H-Y-YU	12	B-MEINERZHAGEN	25
K-MAEX	10	K-TORII	10	G-LUCOVSKY	55	P-ABSIL	11	C-JUNGEMANN	25
M-L-GREEN	9	H-IWAMOTO	10	R-DEGRAEVE	55	M-JURCZAK	11	Y-YEE-CHIA	24
A-NAKAJIMA	8	K-SUGURO	10	C-D-YOUNG	55	S-DELEONIBUS	10	N-BALASUBRAMANIAN	24
B-BRIJS	8	R-JAMMY	9	L-PANTISANO	54	D-A-ANTONIADIS	10	K-RIM	24
J-H-KIM	8	T-SCHRAM	9	S-BIESEMANS	53	R-S-GUPTA	10	R-LOO	22
J-SCHUHMACHER	8	K-TAI	9	L-BYOUNG-HUN	48	H-RU	10	C-W-LIU	22
G-D-WILK	7	L-A-RAGNARSSON	9	C-Y-KANG	48	P-R-GRAY	10	A-G-O'NEILL	22
J-LU	7	M-SAITO	9	P-C-MCINTYRE	46	T-SKOTNICKI	9	T-NUMATA	20
K-KUKLI	7	R-YAMAMOTO	9	B-KACZER	45	S-K-BANERJEE	9	M-CAYMAX	19
P-C-MCINTYRE	7	S-DELEONIBUS	9	H-IWAI	44	C-H-TUNG	9	Y-MORIYAMA	19
R-L-PUURUNEN	7	S-KANDA	9	G-GHIBAUDDO	44	Y-YEE-CHIA	9	S-K-BANERJEE	18
S-M-ROSSNAGEL	7	S-NAKAJIMA	9	H-WATANABE	43	V-MISRA	9	S-MANTL	18
W-VANDERVORST	7	S-YAMAGUCHI	9	H-Y-YU	42	D-HERBST	9	E-H-C-PARKER	18
		S-YAMAKAWA	9	P-D-KIRSCH	40	G-ZIMMER	9	M-L-LEE	18
欧州系(Imec等)		T-HIRANO	9	Z-CHUNXIANG	40			H-KOSINA	18
US大学・国研系		T-SAITO	9	K-C-SARASWAT	39			S-H-OLSEN	18
日系(企業・大学・国研)		Y-TAGAWA	9	K-YAMADA	39			S-T-CHANG	18
台湾・シンガポール系				T-NABATAME	39				
Samsung		Intel		K-DIM-LEE	39				
Sematech/IBM系		Bell研系		M-HOUSSA	39				

欧州系は満遍なく分布？米系も満遍なく分布するがForeign-Born多い？日系はGate-LastとStrained-Siに集中？

台湾・シンガポール系には米国大学出身のForegin-Born多い？ 注1) IEEE-Xploreでは、韓国・中国人名の誤記(姓名の取り違い)頻出。例えば、High-kのD-L-Kwong氏やB. H. Lee氏は、下あるいは中程のK-Dim-LeeやL-Byoung-Hun氏と同一人物と推定される。注2)所属の推定は、主にNewman流クラスター分析に基づいている。

図2: クラスター別の各年次論文発表者数の推移: 1980-2010



注)共著関係に基づいたクラスター分類は、M.E.J. Newman (2006),“Finding community structure in networks using the eigenvectors of matrices“, Phys. Rev. Eに基づく。

図3: 1964-2010年までのHigh-k/Metal Gate研究関連開発(17861名)

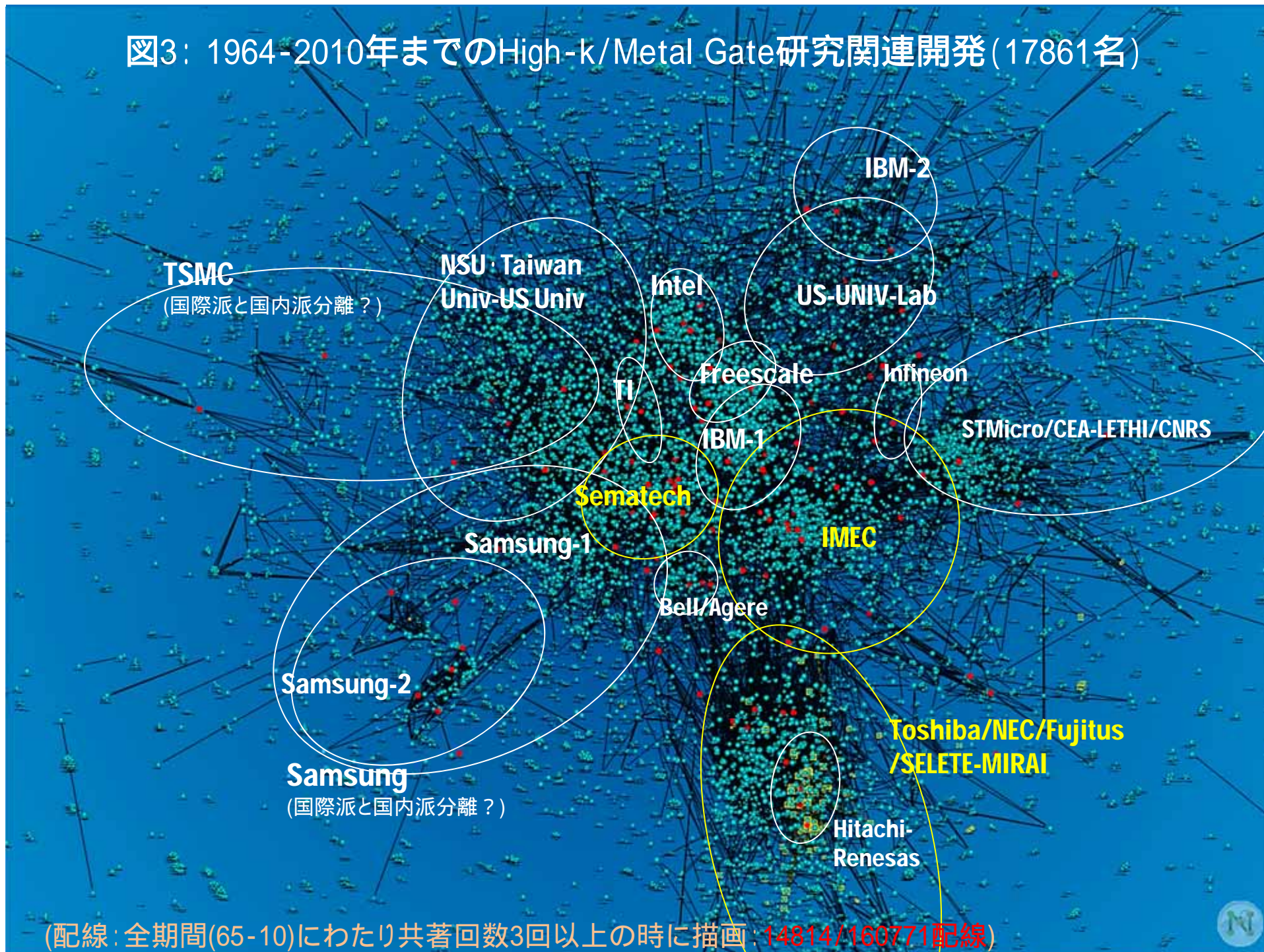


図4 : High-k/Metal Gate研究関連開発ネットワーク:
PageRankでウェイト付けられた等高線(密度)図

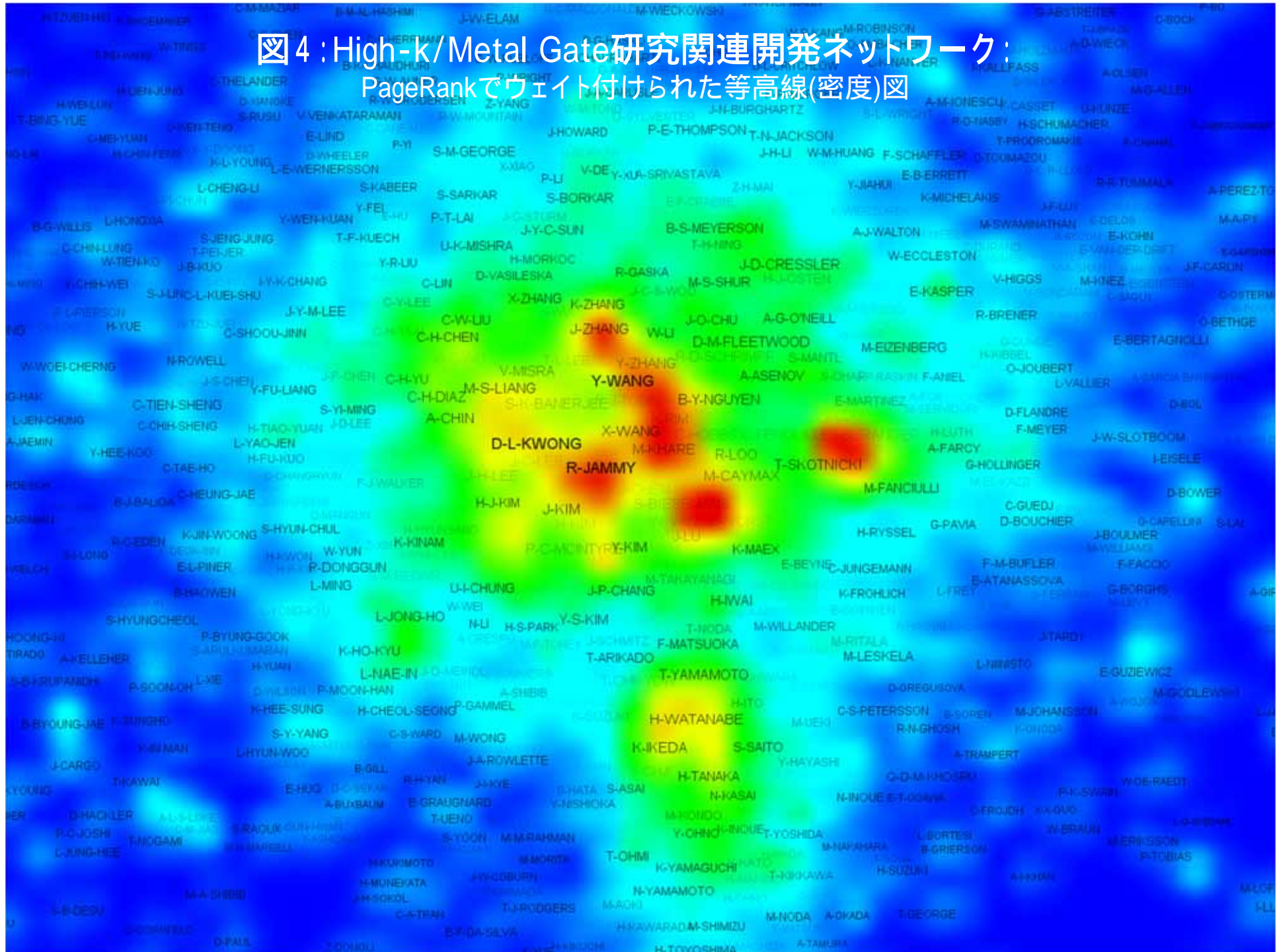


図5: K. Mistry 及び T. Ghani 氏に直接に繋がっている研究者達
(共著1回以上: 173/174名及び、2回以上: 76/88名、3回以上: 41/56名)

K. Mistry

T. Ghani

Intel

Intel内でほぼ閉じた研究開発システム

SEMATECH

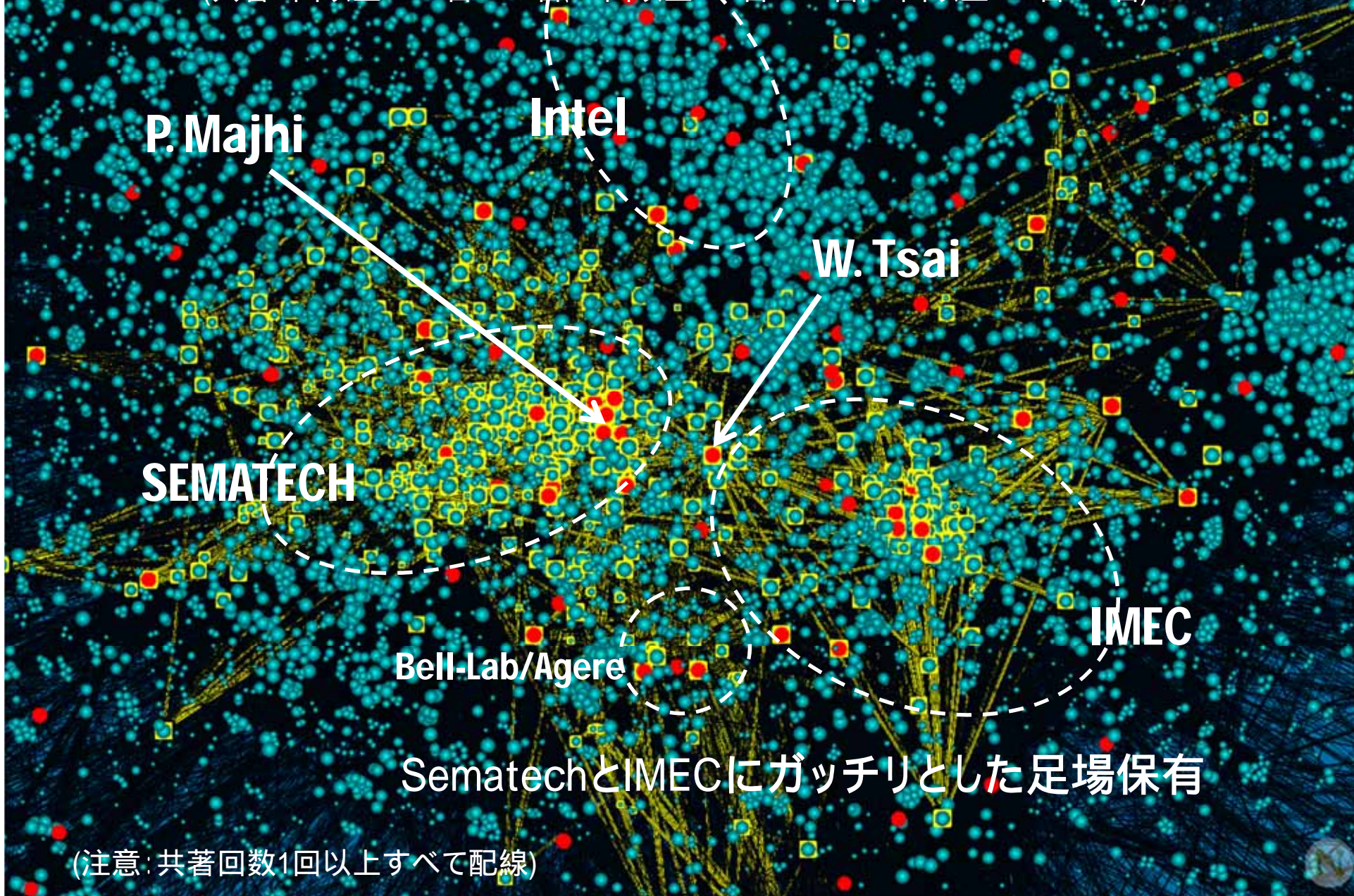
IMEC

(注意: 共著回数1回以上すべて配線)



図6: W. Tsai氏とP. Majhi氏に直接に繋がっている研究者達

(共著1回以上: 186名/305名、2回以上: 86名/131名、3回以上: 59名/83名)



P. Majhi

Intel

W. Tsai

SEMATECH

Bell-Lab/Agere

IMEC

SematechとIMECにガッチリとした足場保有

(注意: 共著回数1回以上すべて配線)

図7: W. Tsai氏及びP. Majhi氏と直接と間接の共著関係にある人々(5582名)
二次で既に世界をほぼ網羅、IMEC経由で欧州大学・研究機関とも緊密

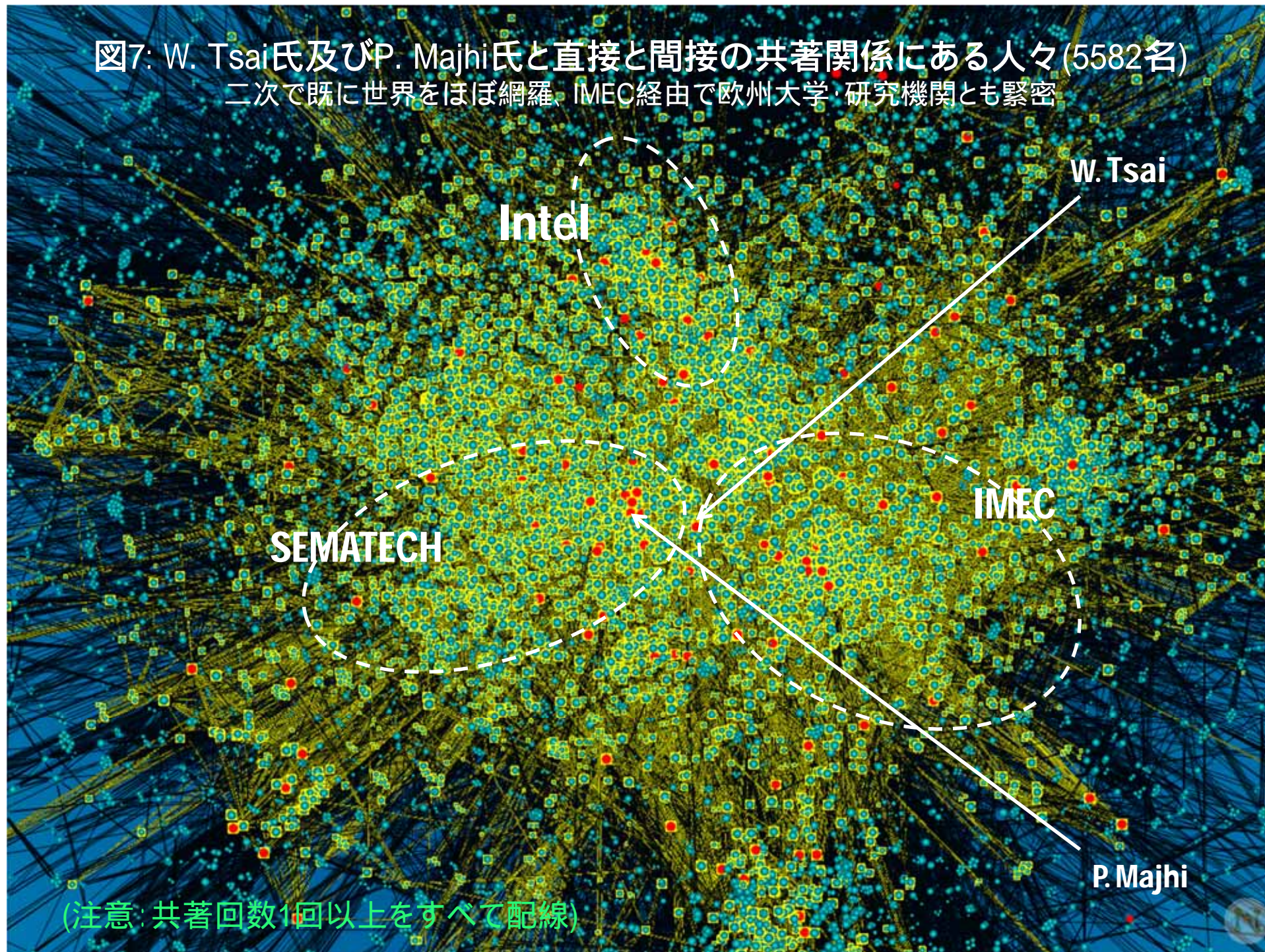
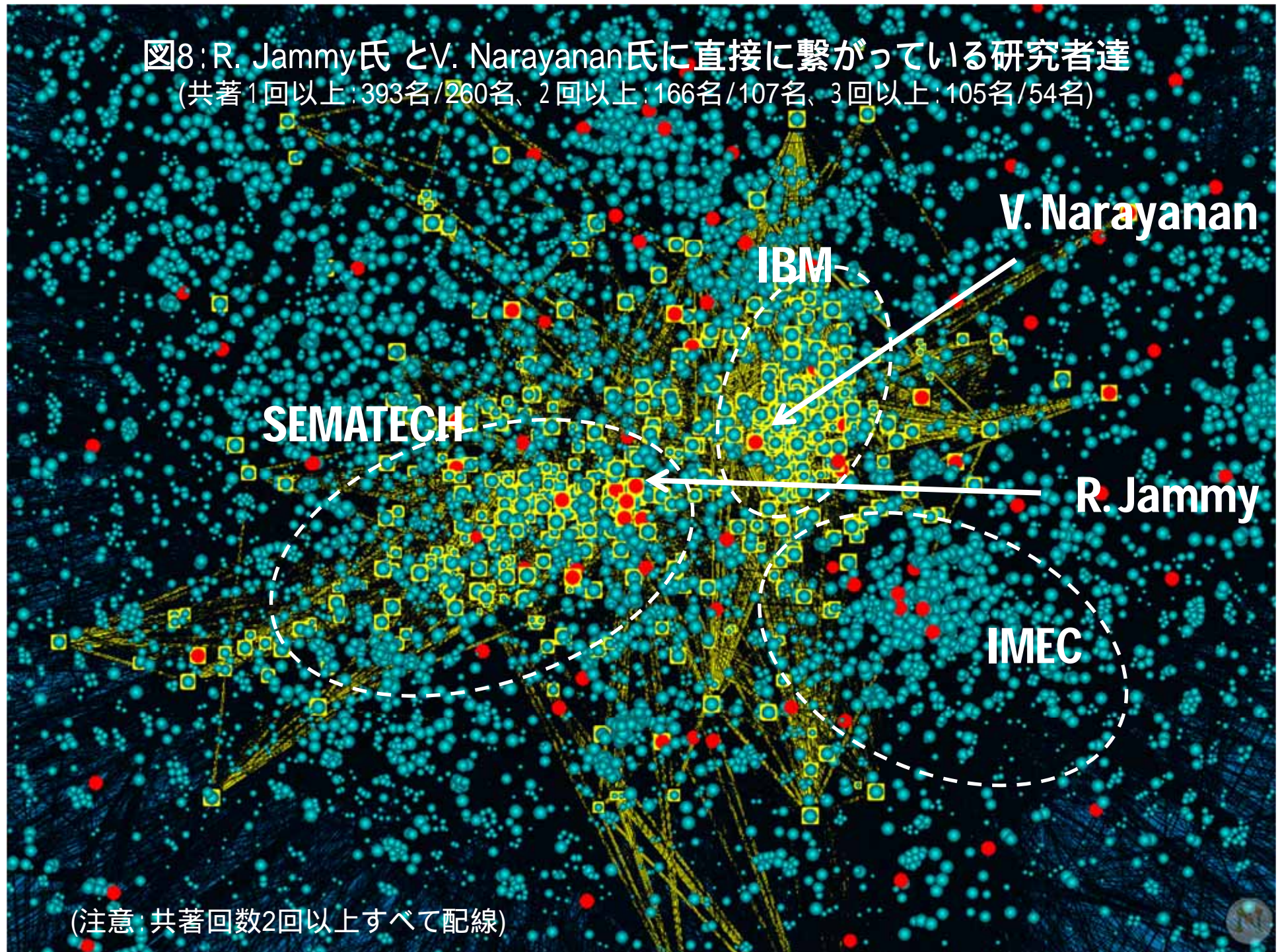
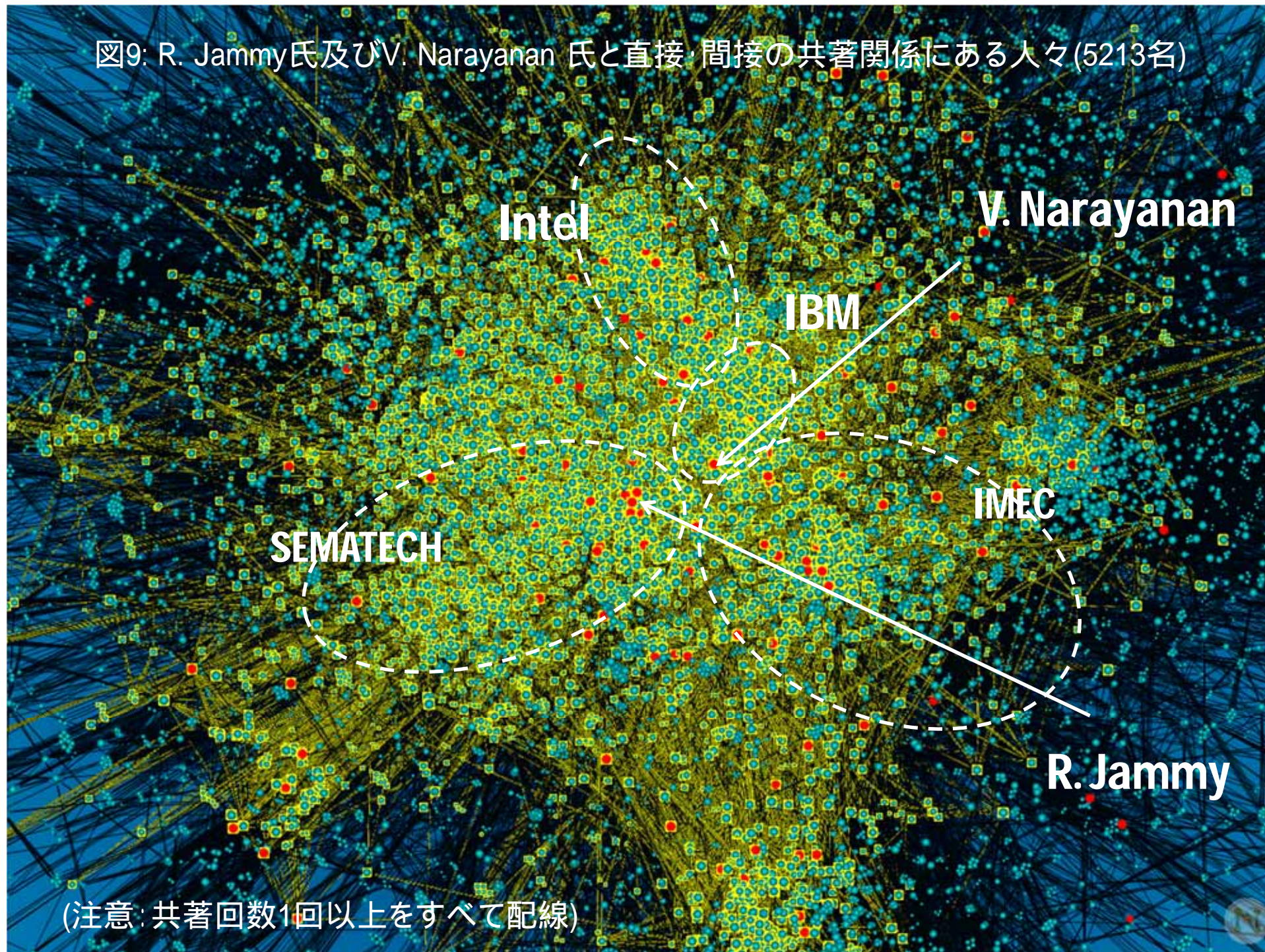


図8: R. Jammy氏とV. Narayanan氏に直接に繋がっている研究者達
(共著1回以上: 393名/260名、2回以上: 166名/107名、3回以上: 105名/54名)



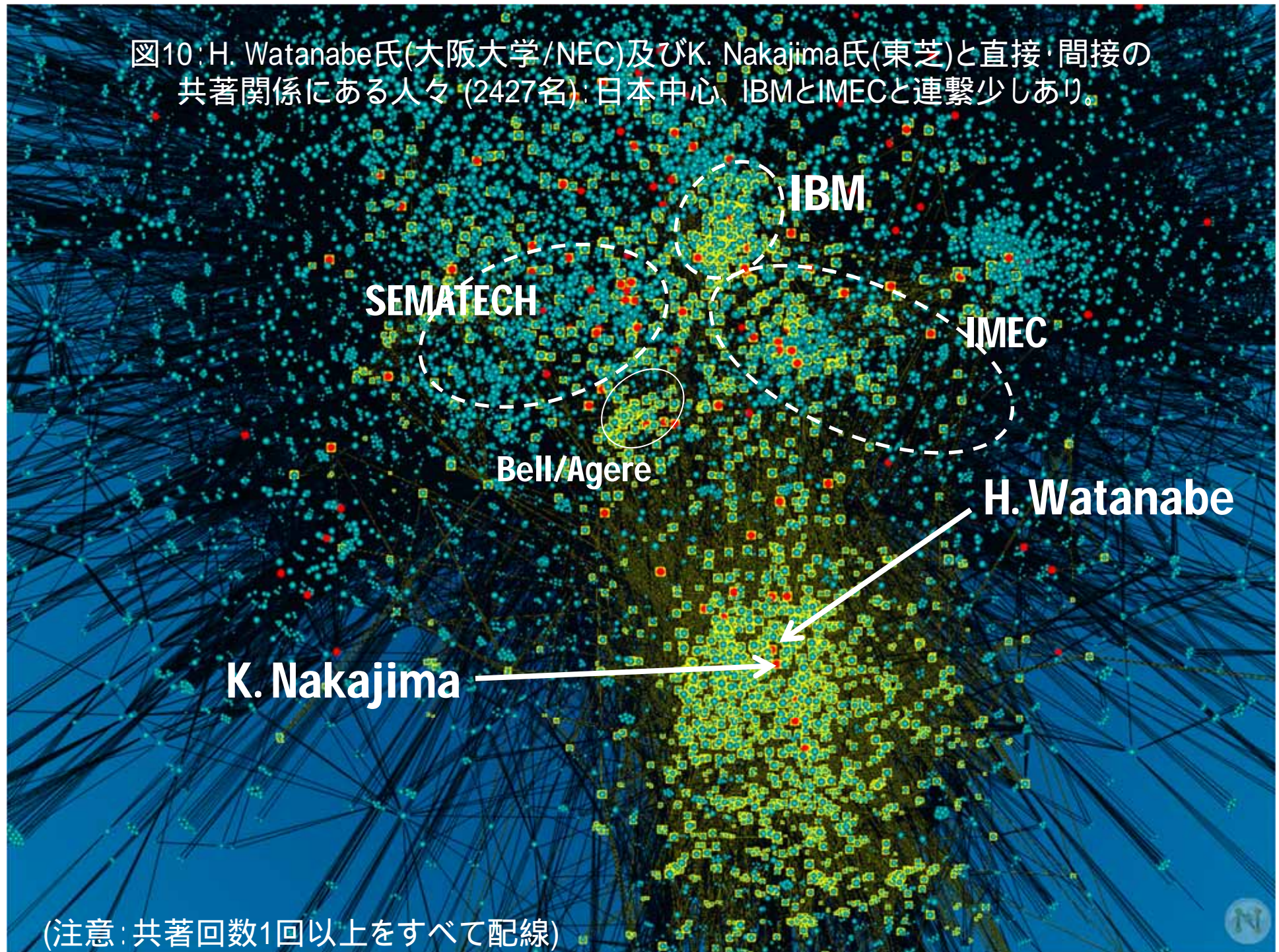
(注意: 共著回数2回以上すべて配線)

図9: R. Jammy氏及びV. Narayanan 氏と直接・間接の共著関係にある人々(5213名)



(注意: 共著回数1回以上をすべて配線)

図10: H. Watanabe氏(大阪大学/NEC)及びK. Nakajima氏(東芝)と直接・間接の共著関係にある人々(2427名): 日本中心、IBMとIMECと連繋少しあり。



(注意: 共著回数1回以上をすべて配線)



表2: スパコン(Cray) 対パソコン(インテル) のクロックスピード

製品名	導入年次	CPUクロックスピード (Mhz)	マザーボード・クロックスピード (Mhz)
Cray 1 A	1979	80	80
Cray XMP-22	1984	112	112
Intel 80386	1985	16	16
Intel 80486	1989	25	25
Intel 80486DX2	1992	50	25
Intel Pentium	1993	60	60
Intel Pentium Pro	1995	166	66

表3: 各種コンピュータのマザーボード(基板)積層数

メーカー	製品種	製品名	マザーボード(PCB) 積層数	導入年次
NEC	パソコン	PC9801UX21	6	1987
SUN	ワークステーション	SPARCstation SLC	10~12	1990
IBM	メインフレーム	3081	18	1980(推定)
日立	メインフレーム	M680-H, M682-H	20~22	1985(推定)
DEC	ミニコン	VAX9000	20	1989(推定)