

# 経済産業省の研究開発戦略と “技術戦略マップ”の活用

平成18年6月23日  
経済産業省 産業技術環境局  
研究開発課長 安永 裕幸  
([yasunaga-yuuko@meti.go.jp](mailto:yasunaga-yuuko@meti.go.jp))

(注)本発表には、経済産業省研究開発課としての公式の見解以外の観察・考えも含まれています。

## 《目次》

- 1) “技術ロードマップ (technology roadmap)” とは何か？
- 2) “技術ロードマップ” の果たしてきた役割  
(半導体産業～ITRSの事例から)
- 3) 半導体産業で何故“技術ロードマップ” が機能してきたか？
- 4) 経済産業省の「技術戦略マップ」策定の目的
- 5) 「技術戦略マップ」の概要と策定プロセス
- 6) 「技術戦略マップ」の今後の活用法
- 7) 我が国のイノベーション・プロセスの課題
- 8) 留意点～世の中に万能の道具は無い～

# 1. “技術ロードマップ”とは何か？(1)

## [定義]

“ A consensus articulation of scientifically informed vision of attractive technology futures ”

— Branscomb (元 米国大統領科学技術顧問)

## 【Keyword 1】 consensus ～ 誰と誰の？

- 研究者コミュニティ
- 研究者/技術者 = 経営者
- サプライヤ = ユーザ
- 産業界内 (システム=部品=材料)
- 産業界 = 政府 = 大学

## 【Keyword 2】 scientifically ～ どのように？

- 過去の技術トレンド
- 専門家によるintensiveな議論
- 論文・特許の動向分析

# 1. “技術ロードマップ”とは何か？(2)

- モトローラ(通信機器)やIBM(メインフレーム・コンピュータ)が社内の研究開発・製品開発の指針とするため策定していたものが元祖。横軸に時間、中味には目標とする機能(技術)スペック。
- 最も有名なものは、世界の半導体業界(米・日・欧・韓・台)が連携して策定しているITRS (International Technology Roadmap for Semiconductors)。ITRSの前身である80年代の技術ロードマップ策定の背景には日米半導体摩擦あり。

## ＜米国の80年代半ば以降の半導体の競争力回復と技術ロードマップ＞

- ①アンチダンピング条項で日本の半導体メーカーの米国市場浸食を阻止。
- ②日本市場でのシェア計測・公表を通じて魅力的なマーケットである日本の半導体ユーザのパイを獲得。(①と②は日米半導体協定に規定)
- ③日本に一旦敗北した製造プロセス技術を再建するため、SEMATECHを作り、研究開発プレーヤーを装置メーカーや大学まで広げ、政府資金や産学連携を導入。(研究目標や役割分担の議論ツールとして技術ロードマップを活用)

# 1. “技術ロードマップ”とは何か？(3)

- ① 技術の拡大された将来像の提示
- ② 対話の手段 (ユーザ＝メーカー、企業＝大学、研究所＝事業部等)
- ③ 産業界や政府を引きつける手段
- ④ 技術への刺激と技術進歩の監視
- ⑤ 技術の可能性(限界)を示す指標

～ Galvin (Motorola社会長)

## 2. “技術ロードマップ”の果たしてきた役割(1)

- ～ 半導体 (ITRS: International Technology Roadmap for Semiconductors) の例 ～
- プロセス研究開発投資のプレイヤーを拡大  
(半導体メーカー → 装置メーカー / 材料メーカー / 大学等)
  - 競争前段階における競争促進  
(目標は一定。手法はオープン。それを支えたのが大手デバイス企業の「これこれのスペックの試作機を、いついつまでに持ってくれば買って、評価して、改善点を示します」)
  - 実用化間近フェーズにおける技術の絞り込み。  
(特に露光装置重複投資のリスク回避)
  - 半導体プロセス技術のモジュール化 (フロントエンドプロセス / バックエンドプロセス) の流れに適合

## 2. “技術ロードマップ”の果たしてきた役割(2)

### <ITRSの実例>

Table 77a Lithography Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
<i>DRAM</i>							
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Contact in resist (nm)	130	110	100	90	80	70	60
Contact after etch (nm)	115	100	90	80	70	65	55
Overlay	35	32	28	25	23	21	19
CD control (3 sigma) (nm)	12.2	11.0	9.8	8.6	8.0	7.0	6.1
<i>MPU</i>							
MPU/ASCI Metal 1 (M1) ½ pitch (nm)	120	107	95	85	76	67	60
MPU ½ Pitch (nm) (uncontacted gate)	107	90	80	70	65	57	50
MPU gate in resist (nm)	◆ 65	53	45	40	35	32	28
MPU gate length after etch (nm)	45	37	32	28	25	22	20
Contact in resist (nm)	130	122	100	90	80	75	60
Contact after etch (nm)	120	107	95	85	76	67	60
Gate CD control (3 sigma) (nm)	◆ 4.0	3.3	2.9	2.5	2.2	2.0	1.8

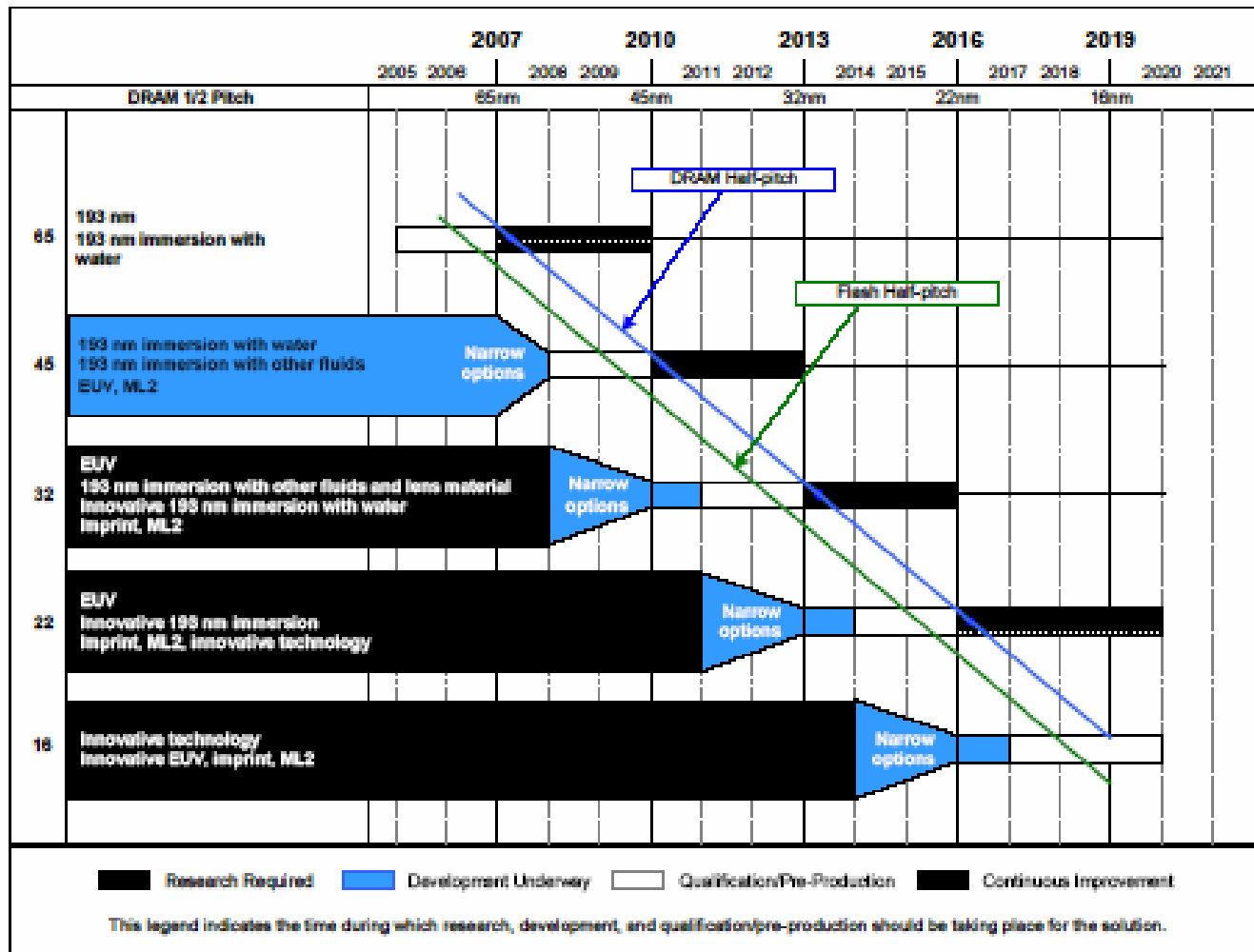
## 2. “技術ロードマップ”の果たしてきた役割(3)

### ○ 半導体技術と微細化(露光技術)における“incrementalism”

NTRS/ITRS Edition Tech Node(nm)	'92 NTRS	'94 NTRS	'97 NTRS	'99 ITRS	'01 ITRS	'03 ITRS	'05 ITRS
500	・i-line	—	—	—	—	—	—
350	・i-line+PSM ・KrF	・i-line ・KrF	—	—	—	—	—
250	・i-line+PSM ・ArF ・PXL	・KrF ・PXL	・KrF	-	-	-	-
180(150)	・KrF+PSM ・ArF+PSM ・X-ray,EBP,IBP	・KrF ・ArF ・PXL	・KrF ・ArF	・KrF	-	-	-
130(120)	・(xn)X-ray ・(xn)EBP ・(xn)IBP ・EBDW,PXL	・ArF ・(xn)EBP ・(xn)IBP ・EBDW ・PXL	・ArF ・PXL ・EBP ・EBDW,EUV,IBP	・KrF+PSM ・ArF	・KrF+PSM ・ArF	-	-
100/90	—	・(xn)EUV ・(xn)EBP ・EBDW ・PXL	・EBP ・EUV ・EBDW ・PXL ・ArF ・IBP	・ArF+PSM ・F2 ・EPL ・IPL ・PXL	・ArF+PSM ・F2 ・IPL,PEL,PXL	・ArF+RET	-
70/65	—	-	・EUV ・EBP ・EBDW ・PXL ・IBP ・Innov. Tech	・F2+PSM ・EPL ・IPL ・EBDW ・EUV ・PXL	・F2 ・EUV ・EPL ・ML2 ・IPL,PEL, PXL	・ArF+RET+LFD ・F2+RET+LFD ・ArF Emmerg ・EPL,PEL	・ArF ・ArF Emmerg
50/45	—	-	-	・EUV ・EPL ・IPL ・EBDW	・EUV ・EPL ・ML2 ・IPL,PEL,PXL	・F2+RET+LFD ・ArF Emmerg +RET+LFD ・EUV,EPL,ML2 ・PEL	・ArF Emmerg (H2O) ・ArF Emmerg (non H2O) ・EUV,ML2
35/32	—	-	-	・EUV ・IPL ・EPL ・EBDW ・Innov. Tech	・EUV ・EPL ・ML2 ・IPL,PEL,PXL	・EUV ・F2 Emmerg+RET +LFD ・EPL ・Inprint ・ML2	・EUV ・ArF Emmerg(non H2O) +lenz mat ・Innov. ArF Emmerg (H2O) ・Inprint ・ML2 ・Innov.Tech
22	—	—	-	-	・EUV,EPL ・ML2 ・Innov.Tech ・IPL,PBL,PXL	・EUV,EPL ・ML2 ・Inprint ・Innov.Tech	・EUV ・Innov. ArF Emmerg ・Inprint,ML2 ・Innov.Tech
16	—	—	-	-	-	・Innov.Tech ・ML2 ・EUV+RET	・Innov.Tech ・Innov.EUV ・Inprint,ML2 7



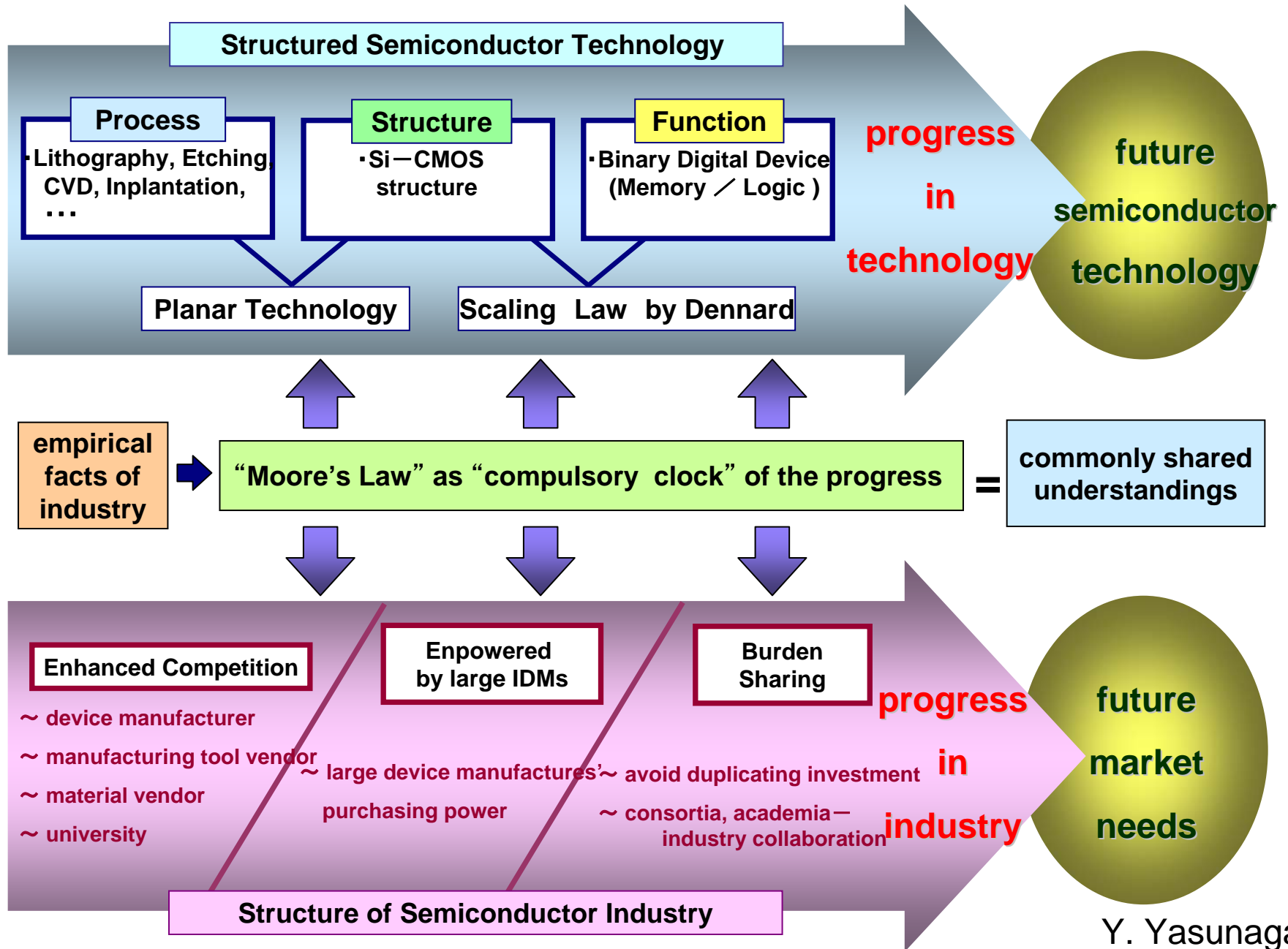
## 2. “技術ロードマップ”の果たしてきた役割(4)



Notes: RET and lithography friendly design rules will be used with all optical lithography solutions, including with immersion; therefore, they are not explicitly noted.

Figure 67 Lithography Exposure Tool Potential Solutions

### 3. 半導体産業で何故“技術ロードマップ”が機能してきたか？(1)



## 《ITRSを巡る産業界のコメント》

1) 「新技術に対する大手デバイスメーカーA社とB社のアプローチは対照的。前者は色々な装置ベンダーから試作装置を目をつぶって5台購入し、一番いいものを使うという方針。B社は特定企業とNDA(Non-Disclosure Agreement)を結んで開発し、あとでライセンスして稼ぐという方針。」

(米国系半導体製造装置メーカーOB)

2) 「(最先端を走る)個別企業から見れば、ITRSより当然いくらか“進んだ”社内ロードマップを有している。…一方で、二番手以下の企業群にとっては、リスクなしに次世代技術を仕入れるためのガイドラインとして機能する。」

(国内半導体メーカー)

3)「我々としてはデバイスメーカーが本気になった時、すぐに装置を持って行きたいので計画としてはITRSの時間軸より前倒しで開発している。・・・開発の負担が装置メーカーにまでどんどん及んでいるのは確かである。」

(国内半導体製造装置メーカー)

4)「材料屋はとにかく色々やらなくてはならない。かつて(1980年代に)は、技術ロードマップ等存在しなかったし、(仮に存在したとしても)参照する必要など無かった。顧客である半導体デバイスメーカーのスペックに応じた材料を作って納入すればそれで良かった。ただし、90年代半ばからは状況が変化した。・・・海外の大手デバイス起業には日本の装置、材料が比較的“好き”な企業が多い。こうした顧客の最大公約数的な動向を見る上ではITRSは的確な情報源だと感じている」

(国内半導体素材メーカー)

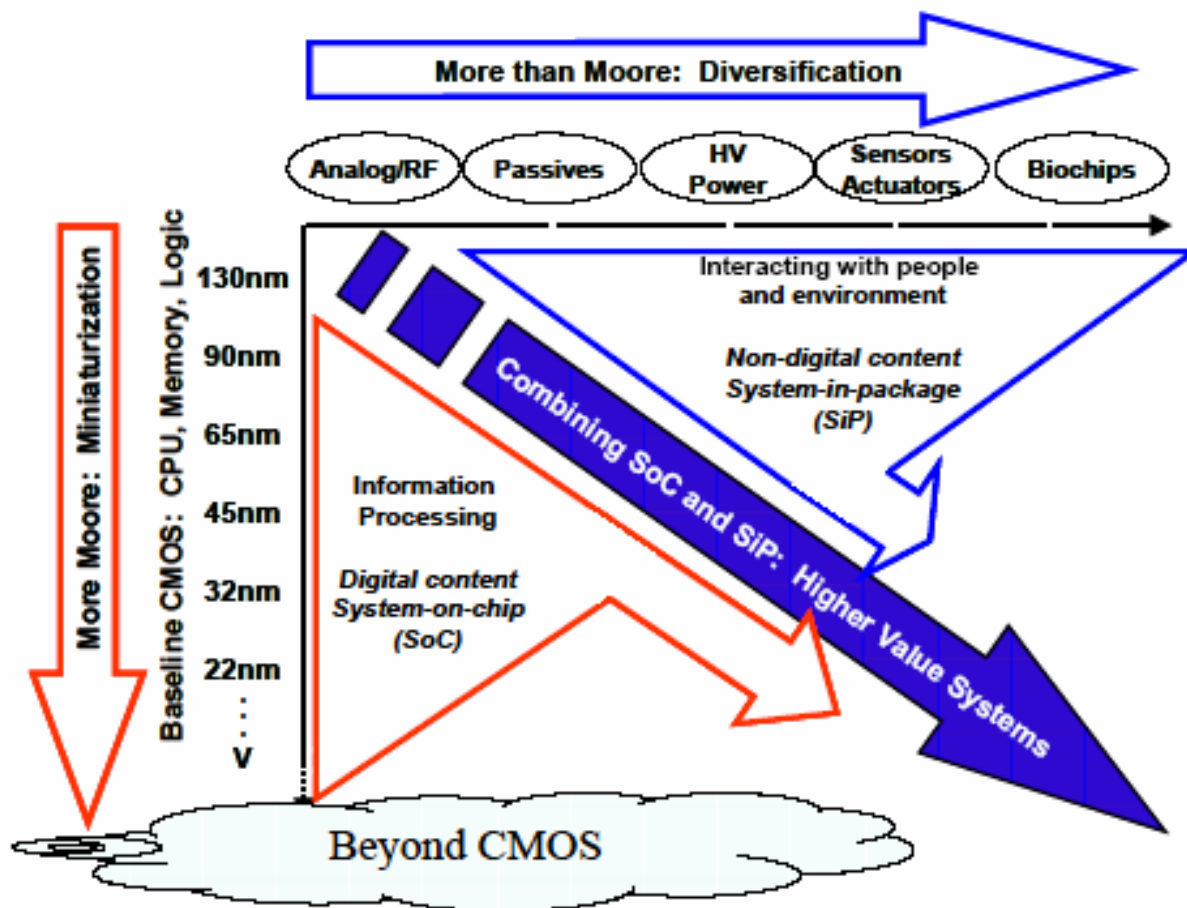
3) 「個別の企業にとって『ムーアの法則』を自らだけの力で継続させようとするのは経済的に浪費であり、技術的に不可能である。我々は、グローバルに研究開発投資を最適配分する必要がある。それが『共有されたRed Brick』である。」

(UCSD Prof. Kahng (2002))

4) 「(ITRS策定は)『産業界における政府』のような役割を持つものだ。…このロードマップ(ITRS)は、大学、国立研究所、コンソーシアムを、そして更に今日では国際的にも集団的に誘導をするものだ。我々は自然に、かつ、政府の関与無しにこのような状況に移行しつつある。」

(インテル社／ITRS Overall Roadmap Technology characteristics ヘッド Allan氏)

## ○ “More Moore”と“More than Moore”



(出典:2005年版 ITRS)

○半導体以外の産業での“技術ロードマップ”が機能するために考えるべきこと(私案)

1) 「技術」の構造

(製品の構造とプロセスの構造)

2) 「市場」・「産業」の構造

(バリューチェーンと各層のプレイヤーの規模・数・技術力)

3) ドライビング・フォースの作用メカニズム

～「将来市場に関する共通認識」をどう形成するか？

～産業・技術を前進させるエンジンは何か？

○「技術の構造化」と「将来市場の共通認識」を軸とした技術の分類(私案)

技術 \ 将来市場	共通認識あり	共通認識不十分	
		市場の不透明性	社会像の不透明性
構造化されている	<ul style="list-style-type: none"> <li>・ 半導体</li> <li>・ ガソリンエンジン自動車</li> </ul>	<ul style="list-style-type: none"> <li>・ 民生用ロボット</li> </ul>	<ul style="list-style-type: none"> <li>・ 3R</li> </ul>
構造化されていない	<ul style="list-style-type: none"> <li>・ 再生医療</li> <li>・ ゲノム創薬</li> </ul>	<ul style="list-style-type: none"> <li>・ ナノテクノロジー</li> </ul>	<ul style="list-style-type: none"> <li>・ グリーンサステナブルケミストリー</li> </ul>



技術戦略マップ及びその策定プロセスを通じて、

- METIが行っている研究開発投資に関し、その考え方、内容、成果等について国民に説明を行い、理解を増進
- 技術動向、市場動向等を把握するとともに、重要技術の絞り込み等を行い、METIが研究開発プロジェクトを企画立案するための政策インフラを整備
- 専門化する技術、多様化する市場ニーズ・社会ニーズに対応するため、異分野・異業種の連携、技術の融合、関連施策の一体的実施等を促進するとともに、産学官の総合力を結集
- METIの研究開発投資以外の民間・産学の研究活動における技術的リファレンスとしての活用促進により、自発的な研究開発連携を刺激

# 5. 「技術戦略マップ」の概要と策定プロセス(1)

## 導入シナリオ

	2004	2005	2006	~	2010	~	2015
目標	情報家電等IT利活用とITの安全性・信頼性の確保。 その基盤となるIT産業の国際競争力の強化。						
民間企業の取組み	収益力の強化と「選択」と「集中」	半導体メーカーにおける収益力の強化 (利益率: 約5~10%→15~30%を目指す。)					
研究開発の取組み	経営改革 産業再編	研究開発等をテコとした産業再編の実施 (アラクサラネットワークスの設立) 半導体設計ベンチャー企業の創出・支援					
関連施策の取組み	標準化の推進	早期に国際的な合意を目指した技術開発と連携した官民の取組み (情報家電、グリッドコンピューティング等)					
導入普及促進策	共通化・標準化すべき28項目に関する状況調査	ユーザ認証、セキュリティ、機器ID、機器認証等についての共通化・標準化の推進 (2005-2007)					
関連産業との連携	垂直連携の強化 高度部材産業 集積の維持・管理 製造装置産業 競争力の維持・強化	上流企業と下流企業の裾り合わせの加速 CASMAT: 高度部材産業開発・評価センター構想 部材評価技術の強化・部材技術開発の促進・効率化					
環境整備	技術流出防止	MIRAI実施体制の見直し、コンソーシアム (ALTEDEC等) の活用など					

(情報通信分野の一部を抜粋)

## 導入シナリオ

研究開発成果が世の中に出ていく筋道とそのための関連施策を示したもの

## 技術マップ

技術課題を俯瞰し、重要技術を絞り込んだもの

## 技術ロードマップ

求められる機能等の向上・進展を時間軸上にマイルストーンとして示したもの

## 技術マップ

技術分野	分野構造			
	分野	大項目	中項目	小項目
半導体	デバイス・プロセス技術	LSTPデバイス技術	デバイス微細化	ナノCMOSへ向けた新技術
				混載技術
				新混載技術
				デバイスシミュレーション技術
				微細化プロセス
		プロセス技術	洗浄技術	
			プロセスシミュレーション技術	
			シリコン基板	
		リソグラフィ	露光装置・レジスト・プロセス技術	マスク技術

## ロードマップ

技術分野	分野構造				評価パラメータ											
	大項目	中項目	小項目	重要課題	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014		
半導体	デバイス・プロセス技術	LSTPデバイス技術	デバイス微細化	パターン寸法の微細化	DRAM/ハーフピッチ (nm)	80	70	65	57	50	45	40	35	32	28	
					物理ゲート長 (nm)	53	45	37	32	28	25	23	20	18	16	
					寸法ばらつき (nm) (プリント長、物理長)	3.15	2.81	2.50	2.20	2.00	1.80	1.60	1.40	1.30	1.10	
					実効ゲート酸化膜厚EOT: 物理膜厚 (nm)	2.1	1.9	1.6	1.5	1.4	1.3	1.3	1.2	1.1	1.1	
					実効ゲート酸化膜厚EOT: 電気膜厚 (nm)	2.8	2.6	2.3	1.9	1.8	1.7	1.7	1.6	1.5	1.5	
		プロセス技術	微細化プロセス	ゲートスタックプロセス	high-kゲート絶縁膜材料	SION	SION	HO <sub>2</sub> (+Si, N, Al)	HO <sub>2</sub> (+Si, N, Al)	HO <sub>2</sub> (+Si, N, Al)	La <sub>2</sub> O <sub>3</sub>	Y <sub>2</sub> O <sub>3</sub>	LaAlO <sub>3</sub>	LaAlO <sub>3</sub>	LaAlO <sub>3</sub>	LaAlO <sub>3</sub>
					CD制御 (3σ) (nm)	4	3.3	2.9	2.5	2.2	2	1.8	1.7	1.4	1.3	
					線幅ラフネス (3σ) (nm)	3.6	3.2	2.8	2.6	2.2	2	1.8	1.6	1.4	1.3	
		リソグラフィ	露光装置・レジスト・プロセス技術	微細化・高精度化	主流量産技術	光源 (波長: nm) / 方式	193nm+RET		193nm+RET+LFD/193nm 浸漬		193nm 浸漬+RET+LFD					
						露光装置技術	スループット、コスト	RET: Resolution Enhancement Technology LFD: Lithography-Friendly Design		EUV: 極端紫外光リソグラ						
リソグラフィ	露光装置・レジスト・プロセス技術	微細化・高精度化	新規技術	スループット、コスト	PEL (近接電子線リソグラフィ)、ML2 (マスクレスリソグラフィ) 157nm 浸漬 (RET+LFD)、ナインプリントリソグラフィ											

## 策定分野

### ○情報通信分野

- ・半導体
- ・ストレージ・不揮発性メモリ
- ・コンピュータ
- ・ネットワーク
- ・ユーザビリティ(ディスプレイ等)
- ・ソフトウェア

### ○ライフサイエンス分野

- ・創薬・診断
- ・診断・治療機器
- ・再生医療
- ・がん対策(※)

### ○環境・エネルギー分野

- ・CO2固定化・有効利用
- ・脱フロン対策
- ・化学物質総合管理
- ・3R
- ・エネルギー

### ○製造産業分野

- ・ロボット
- ・航空機
- ・宇宙
- ・ナノテク
- ・部材
- ・MEMS
- ・グリーンバイオ
- ・人間生活(※)
- ・超電導(※)

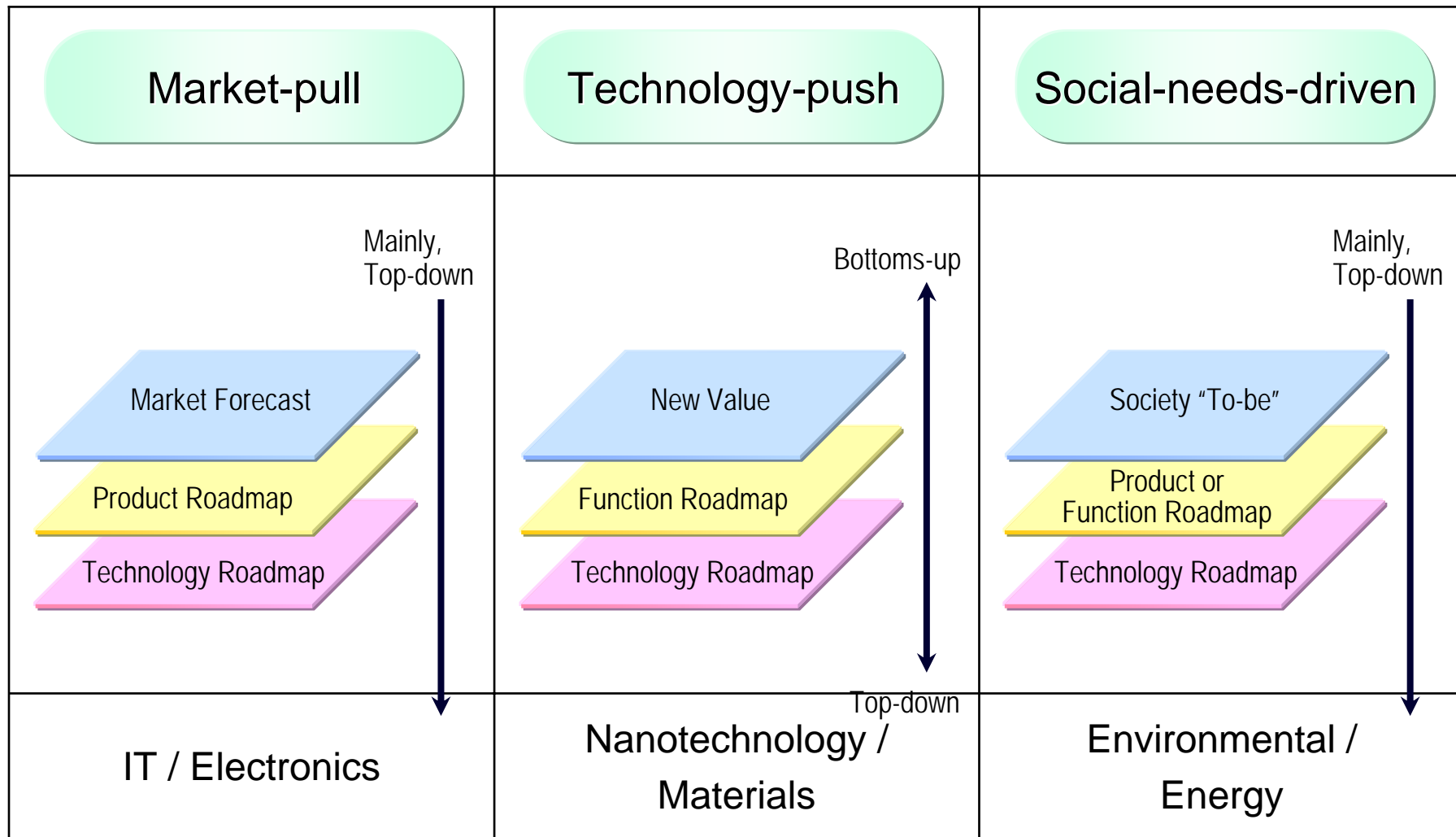
※印は2006年版から追加した分野

# 策定プロセス

- 技術マップ及びロードマップについて、策定分野毎にNEDO等(CO2固定化・有効利用についてはRITE)に設置したタスクフォース(総勢約400人)において原案を作成。本タスクフォースには、大学、民間企業(製品、部品、材料、装置メーカー等)、経済産業省、NEDO、産総研等が参加し、産学官の知見を結集。
- また、産業構造審議会産業技術分科会研究開発小委員会(委員長:西尾茂文東大副学長)にて、策定プロセスを審議(昨年7月から4回開催)。

# 5. 「技術戦略マップ」の概要と策定プロセス(4)

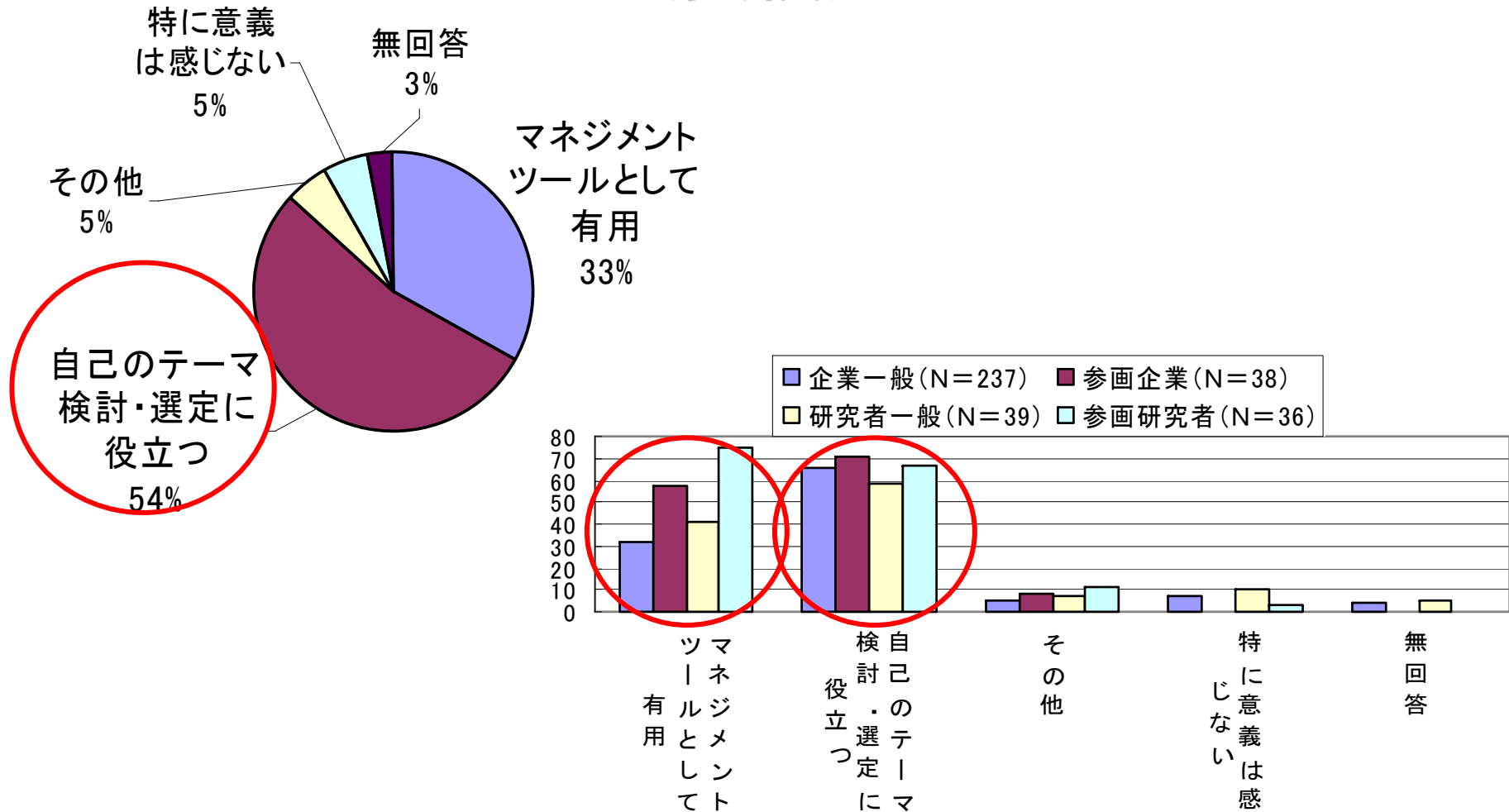
- 「市場ロードマップ」「製品ロードマップ」「技術ロードマップ」の3層構造が普及(トップダウン)
- ナノテク等の製品ドミナントデザインの定まらぬ分野ではトップダウンとボトムアップを併用
- 大事なものは暗黙知 “Roadmapping is rather important than roadmaps.”



(出所: NEDOに設置したT/Fにおける経験をもとに安永氏の作成資料より)

# 5. 「技術戦略マップ」の概要と策定プロセス(参考1)

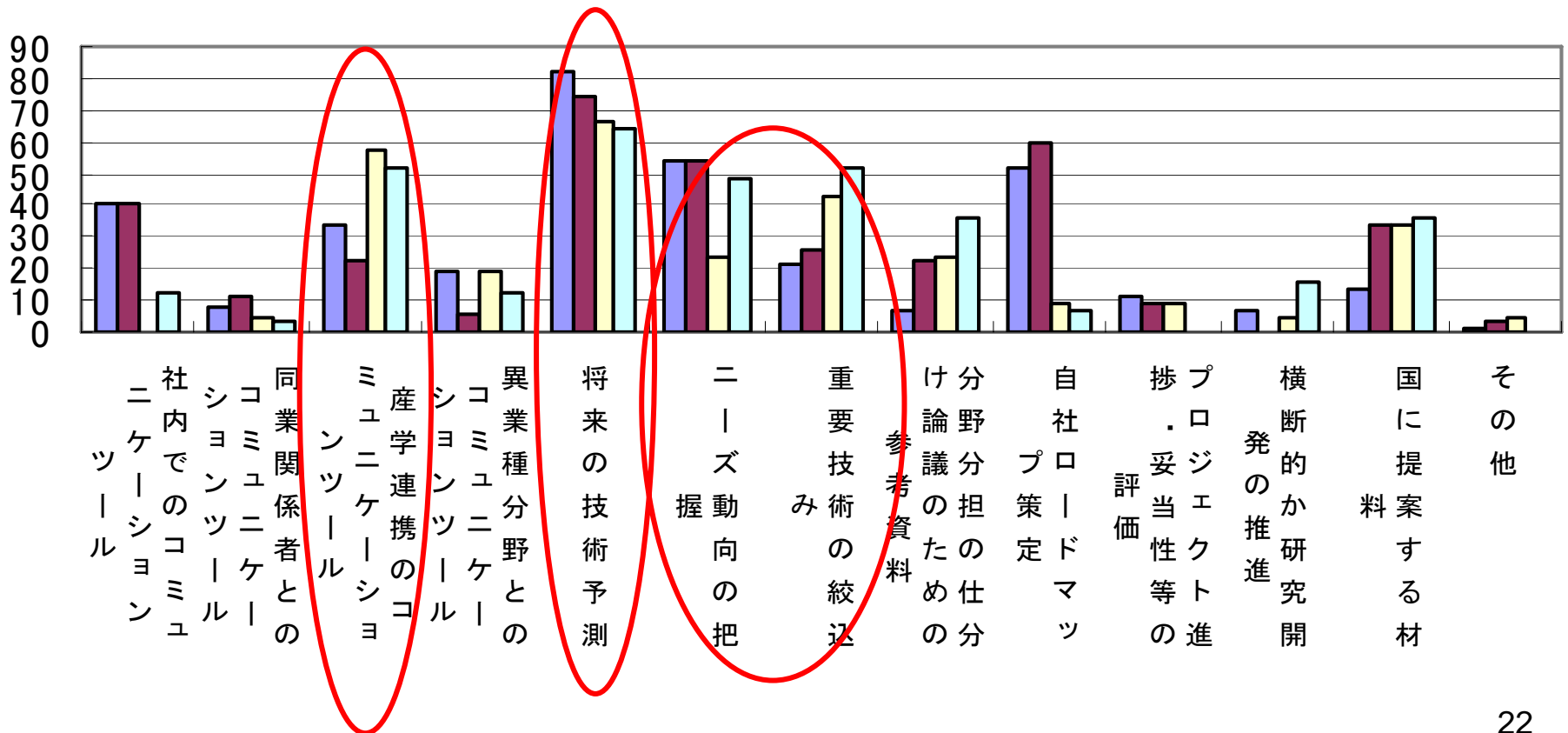
## 「技術戦略マップ」の意義 (実績)



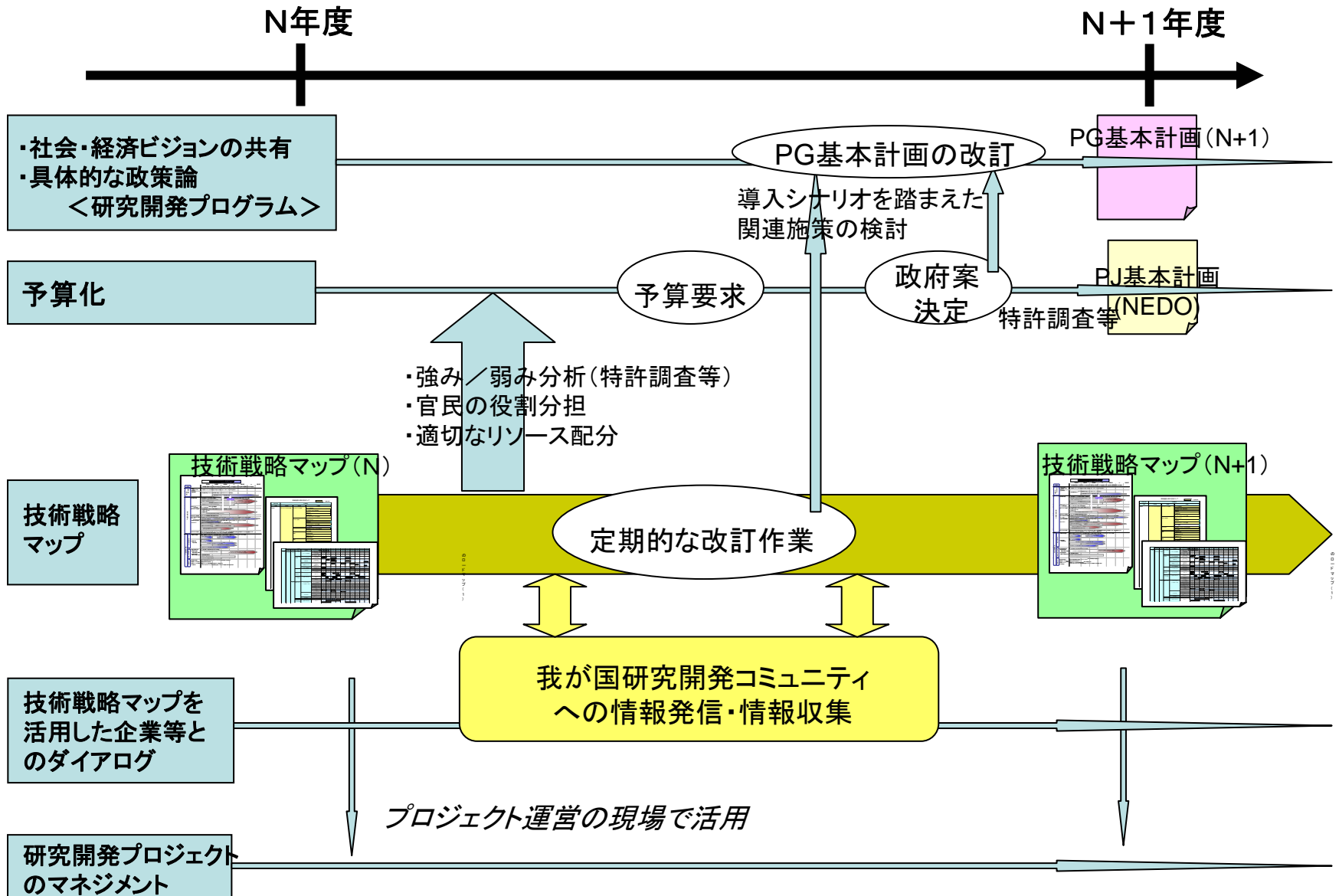
# 5. 「技術戦略マップ」の概要と策定プロセス(参考2)

## 技術戦略マップの活用方法 (実績及び将来予定)

■ 企業一般 (N=60) ■ 参画企業 (N=21) □ 研究者一般 (N=7) □ 参画研究者 (N=11)



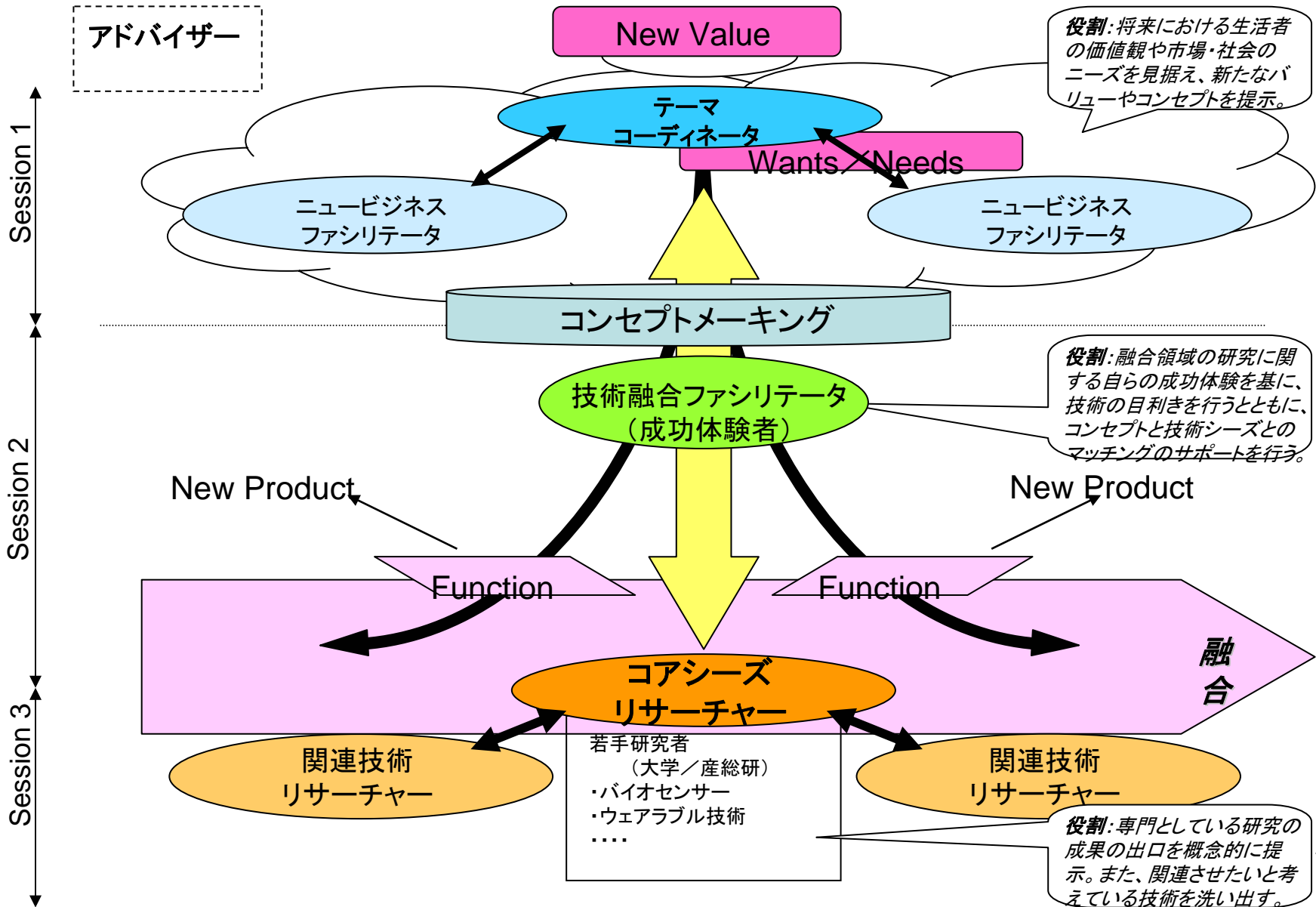
# 6. 「技術戦略マップ」の今後の活用法(1) 当省のマネジメントツールとしての活用





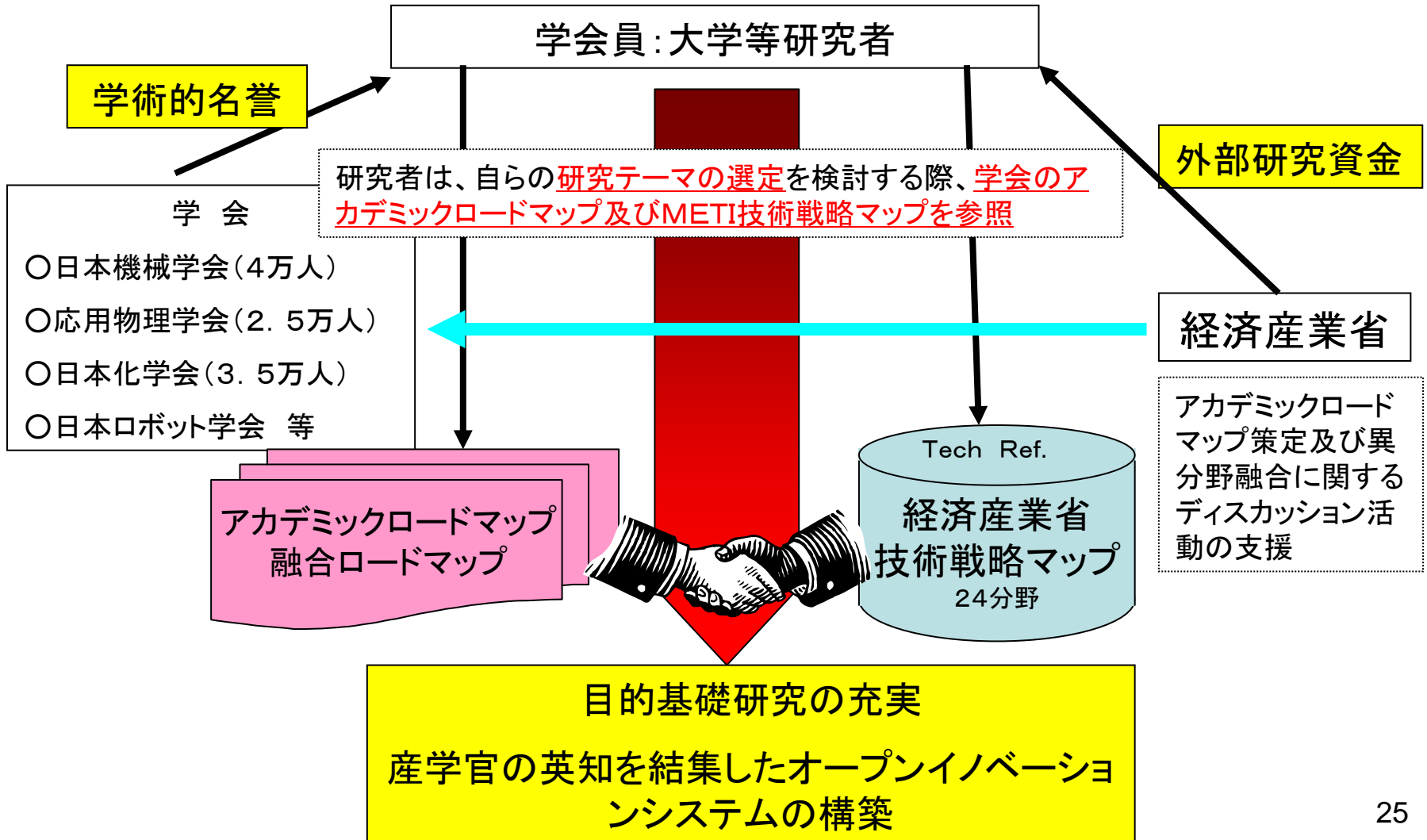
# 6. 「技術戦略マップ」の今後の活用法(2)

## 異分野融合におけるイノベーション推進(Roadmapping)



# 6. 「技術戦略マップ」の今後の活用法(3)

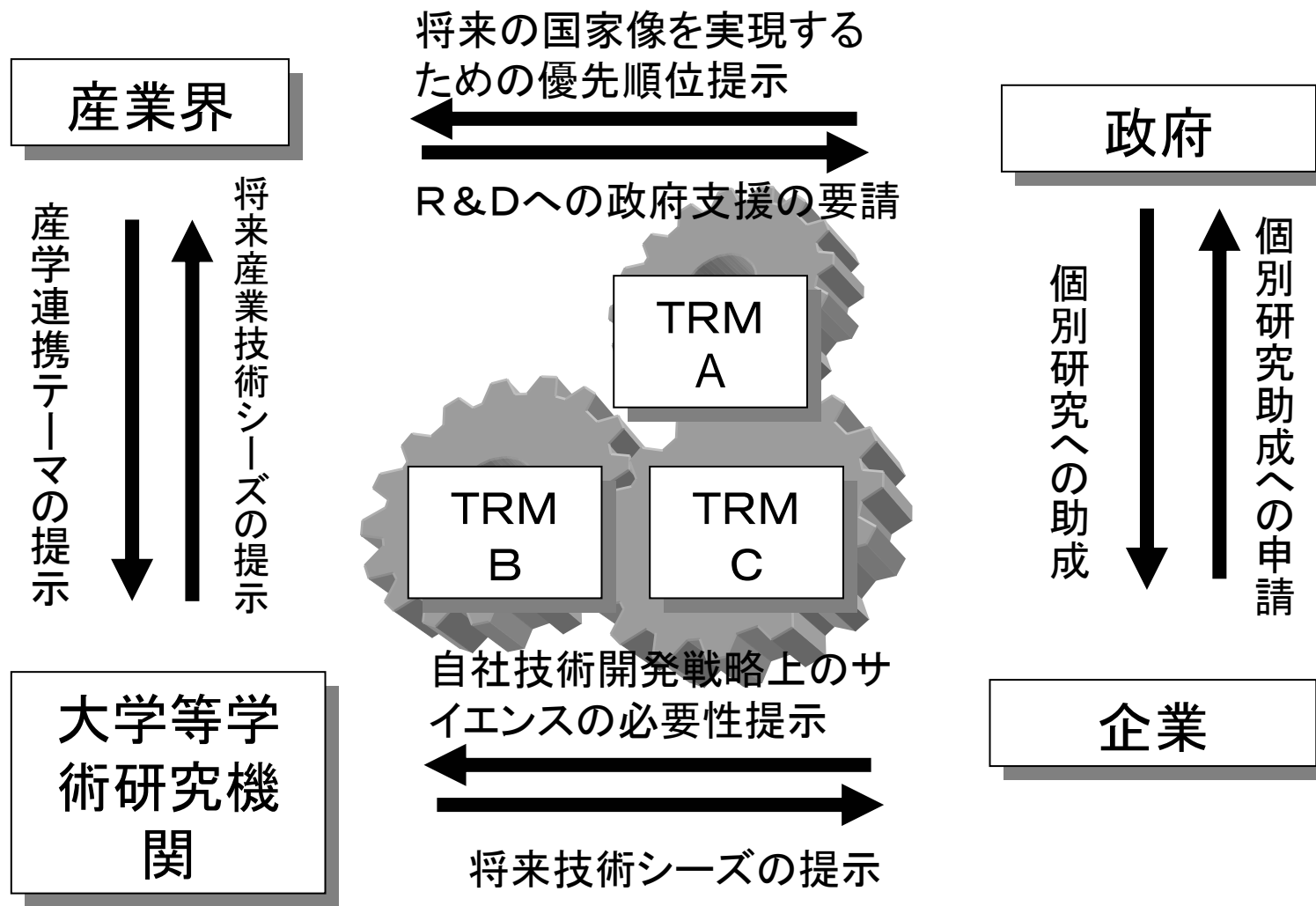
## WIN-WIN関係の構築を前提とした学会との連携強化



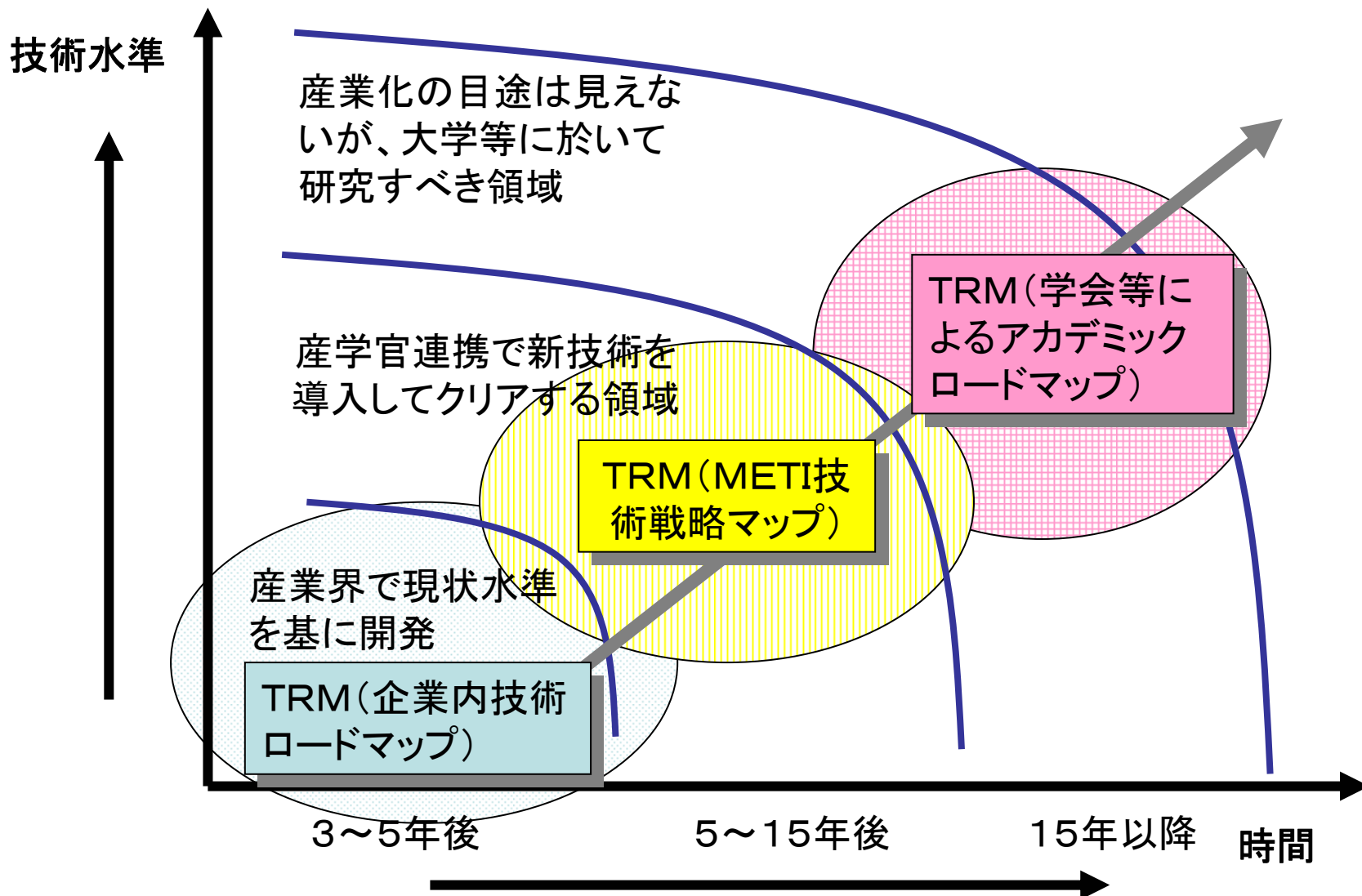
# 6. 「技術戦略マップ」の今後の活用法(3)[参考1]

## コミュニケーションツールとしてのTRM

～異なるセクター間の連動ギアとして機能するTRM～

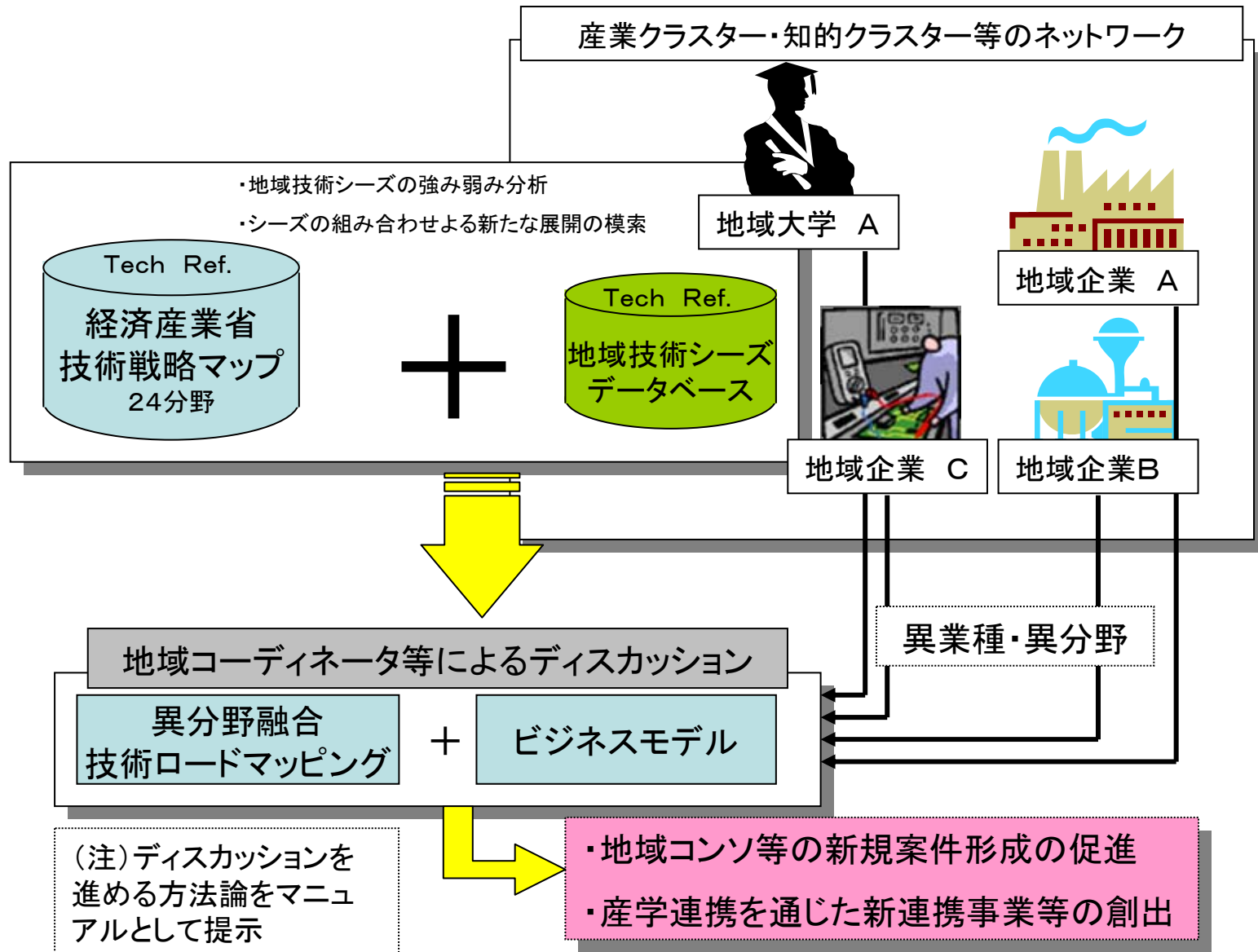


## 技術ロードマップと産学官連携



# 6. 「技術戦略マップ」の今後の活用法(4)

## 技術ロードマッピングを方法論として活用した地域産業の活性化



## ○“4つの危機”が密かに進行中

### ①企業の経営マネジメント（研究開発へのインプット）

- 短期の利益を重視するあまり、特に中長期的な発展に結び付く研究開発投資が減少。（特に総合電機）～株主価値重視やキャッシュフロー経営といった「金融の論理」の“影”
- カネより深刻なのはヒトの減少（特に総合電機）

### ②技術課題の質的变化

- 企業が直面する技術的課題が高度化し、理論限界ギリギリの世界（サイエンスでブレークスルーを得るべき世界）に突入したにも拘わらず依然として既存技術の延長・経験論的組合せで切り込む日本企業。
- キャッチアップ時代が終焉し、フロントランナーとなった現在にあっては、トップサイエンスに基づく研究開発なしには、新市場を開拓する製品開発に結び付きにくい。（絶好調の機能性化学分野でもこれまでのアプローチのままでは将来に不安要素あり。）

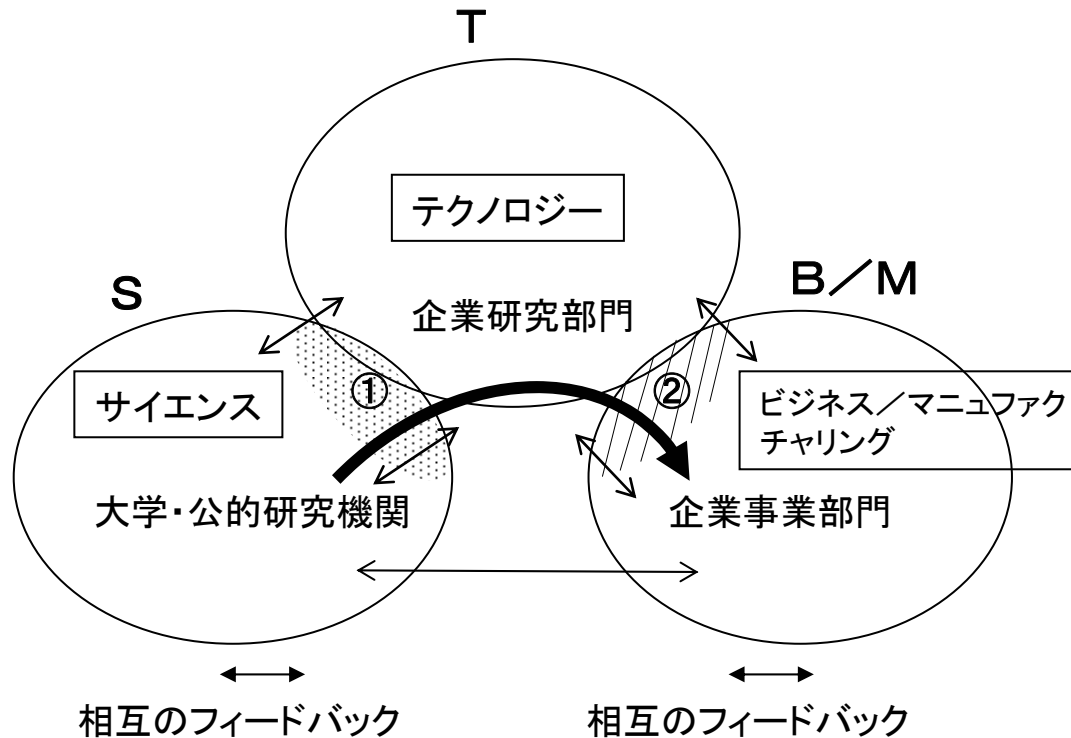
### ③組織論の限界

- 独創的な新技術に基づく新ビジネスの可能性を経営層が的確に評価できる場合が少ない。
- フロンティアは異分野融合。しかし、大学／産業界／学会に存在する“タコソボ文化”が融合の障壁。
- 総合メーカーのシナジー（“範囲の経済”）が研究開発で活かしにくい時代に。
- 外部（ベンチャー、大学）の新技術採用への躊躇（ファーストカスタマー問題）

### ④技術／市場の不透明性の増大と開拓者マインドの急速な低下

- “自前主義”なのに“自前不信”。何のための社内研究部門か。
- 市場ニーズだけでは今の姿に近すぎ、技術シーズだけでは出口に当たらなすぎる。

## ○産学イノベーションの基本形



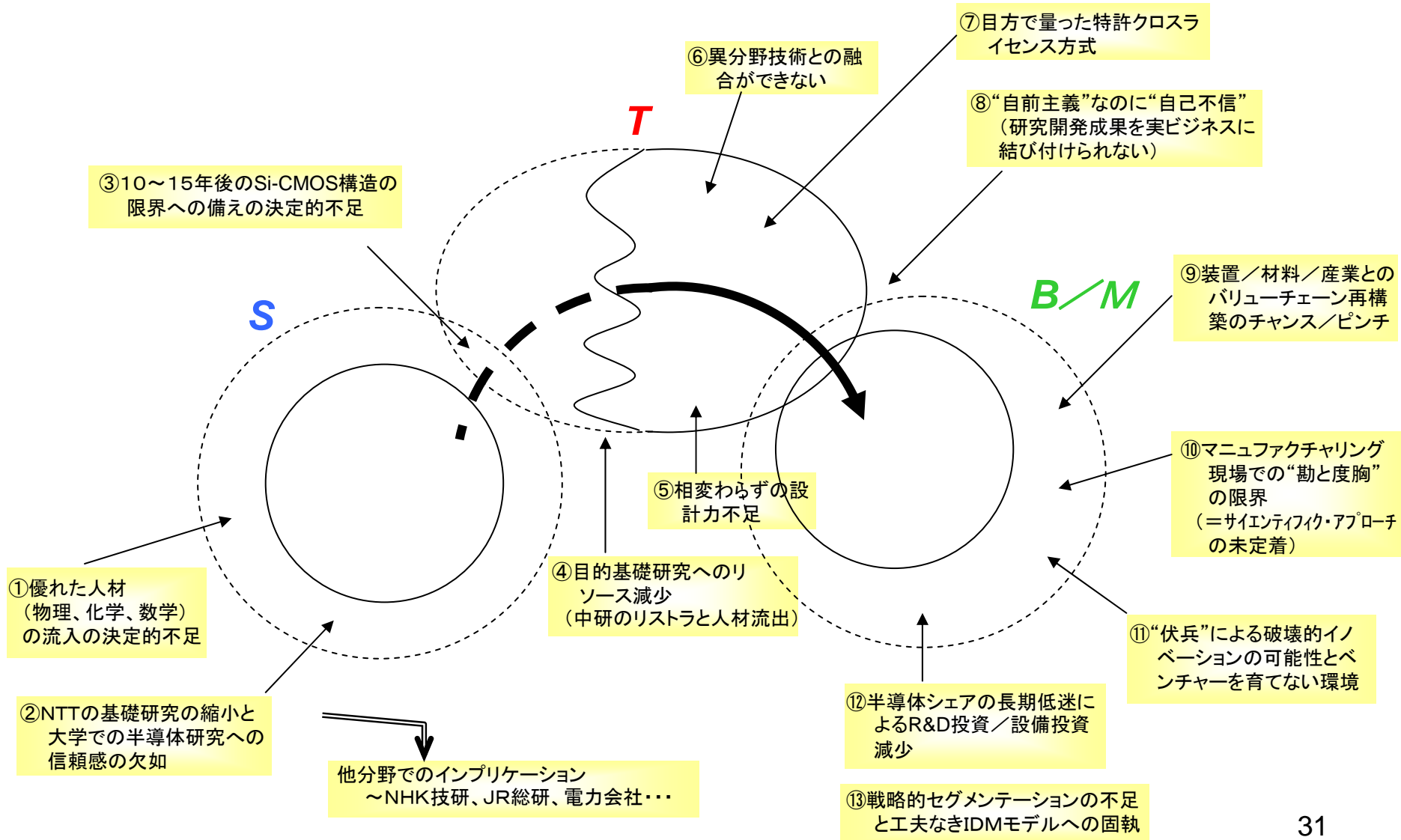
(リニアモデルではない。コンカレントモデルであり、ビジネスサイドとサイエンスからの双方向のモデル)

〔領域①〕サイエンスという「知」が「技術的知見」に転換する領域

〔領域②〕様々な形式知・暗黙知からなる技術の「束」が  
経営戦略・事業判断に基づいて開花する領域

# 7. わが国のイノベーション・プロセスの課題(3)

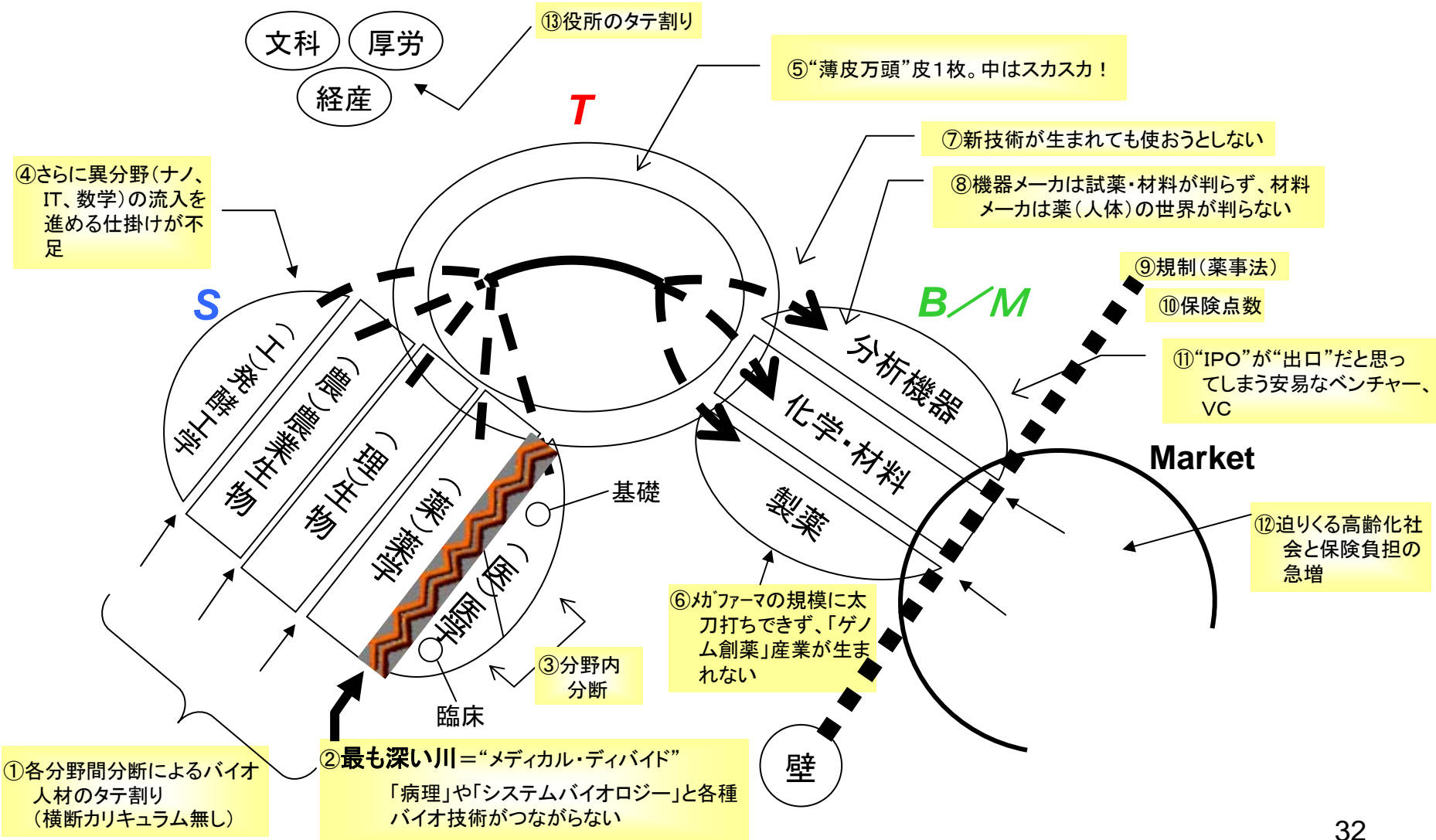
## ○セクター別各論(その1) ~半導体





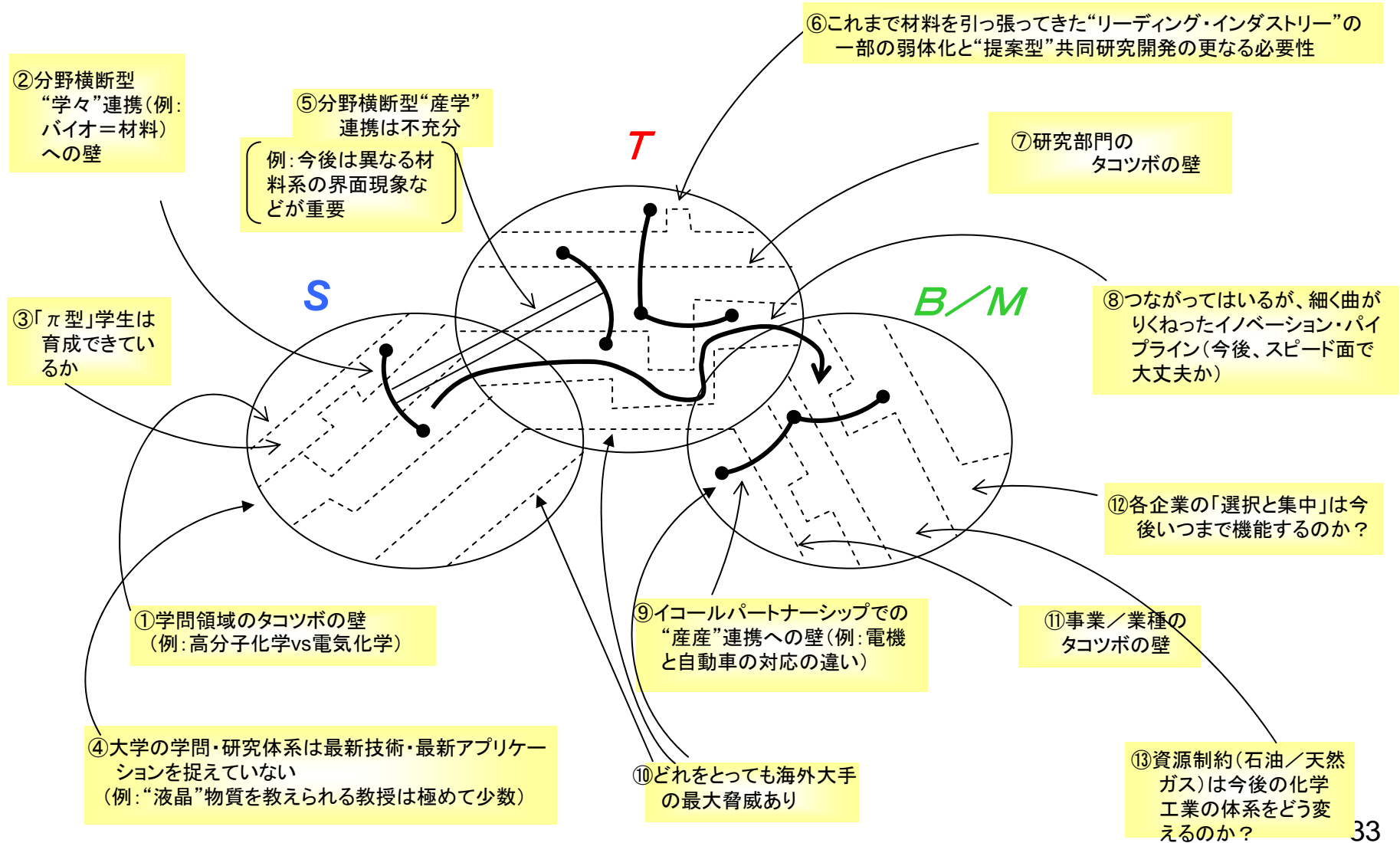
# 7. わが国のイノベーション・プロセスの課題(4)

## ○セクター別各論(その2) ~創薬・医療機器



# 7. わが国のイノベーション・プロセスの課題(5)

## ○セクター別各論(その3) ~機能性化学品



### ○技術ロードマップの限界は何か？

disruptive innovation (off-road技術として出現する)を捉えることが容易でない。

「やってみないと分からないのにロードマップに書いてあるが故にそれ以外の技術を研究しなくなることには危険を感じる。」

(国内半導体製造装置メーカー)

→ 常に見直すことが重要。また、ロードマップ策定プロセスにおける関係者の「知」の共有が価値を生む。

(“Roadmapping” is rather important than “roadmaps.”)

### ○政府が策定する技術ロードマップの課題は何か？

- ・ 産業界・大学関係者の真の“engagement”が得られるか？

- むしろ“ownership”は政府ではなく産業界・大学関係者であるという認識を得ることができるか？

- ・ 形骸化・官僚化の危機

- 既存の技術ロードマップに乗っているかどうかといった形式論だけで技術の価値を判断することの恐ろしさ

- 真に政策立案・リソース投入・評価のプロセスと連動できるか？

# 御静聴ありがとうございました。

経済産業省のHPから  
技術戦略マップ(編集可能な電子媒体含む)が入手可能です。  
<http://www.meti.go.jp/report/data/g50330bj.html>

また、技術戦略マップに関する御意見・御質問は  
以下のアドレスまでお寄せ下さい。  
[str@meti.go.jp](mailto:str@meti.go.jp)